

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 5月22日

出 願 番 号
Application Number: 特願2003-145305
[ST. 10/C]: [JP2003-145305]

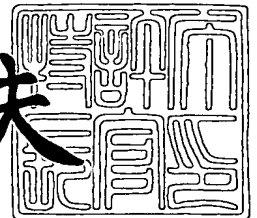
出 願 人
Applicant(s): 株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

U.S. Appln. Filed 3-3-04
Inventor: N. Takaura et al
Mattingly Stanger & Malur
Docket NT-416

2004年 2月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 NT03P0292

【提出日】 平成15年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 高浦 則克

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 松岡 秀行

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 寺尾 元康

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 黒土 健三

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 山内 豪

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】**【識別番号】** 000233169**【氏名又は名称】** 株式会社日立超エル・エス・アイ・システムズ**【代理人】****【識別番号】** 100068504**【弁理士】****【氏名又は名称】** 小川 勝男**【電話番号】** 03-3661-0071**【選任した代理人】****【識別番号】** 100086656**【弁理士】****【氏名又は名称】** 田中 恭助**【電話番号】** 03-3661-0071**【手数料の表示】****【予納台帳番号】** 081423**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された抵抗素子と電界効果型トランジスタとが電氣的に直列に接続されてなるメモリセルを複数有する半導体集積回路装置において、

前記抵抗素子は、第 1 の電極層と、加熱処理により抵抗値が変化する相変化材料からなる相変化材料層と、第 2 の電極層とが積層された積層膜からなり、少なくとも 2 つの前記メモリセル内の電界効果型トランジスタに共通の電源端子を接続するように構成されることを特徴とする半導体集積回路装置。

【請求項 2】

半導体基板上に形成された抵抗素子と電界効果型トランジスタとが電氣的に直列に接続されてなるメモリセルを複数備え、

前記電界効果型トランジスタのソース又はドレインの一方は前記メモリセルのビット線となる導電膜に接続され、前記ソース又はドレインの他方は前記抵抗素子に接続され、

前記抵抗素子は、第 1 の電極層と、加熱処理により抵抗値が変化する相変化材料からなる相変化材料層と、第 2 の電極層とが積層された積層膜からなり、前記導電膜上に絶縁膜を介して形成され、少なくとも 2 つの前記メモリセル内の前記ソース又はドレインの他方が共通に接続するように構成されることを特徴とする半導体集積回路装置。

【請求項 3】

半導体基板上に形成された抵抗素子と電界効果型トランジスタとが電氣的に直列に接続されてなるメモリセルを複数備え、

前記電界効果型トランジスタのソース又はドレインの一方は前記メモリセルのビット線となる導電膜に接続され、前記ソース又はドレインの他方は前記抵抗素子に接続され、

前記抵抗素子は、第 1 の電極層と、加熱処理により抵抗値が変化する相変化材料からなる相変化材料層と、第 2 の電極層とが積層された積層膜からなり、前記

導電膜上に絶縁膜を介して形成され、前記メモリセル内の電界効果型トランジスタ毎に個別に接続されていることを特徴とする半導体集積回路装置。

【請求項 4】

半導体基板上に形成された抵抗素子と電界効果型トランジスタとが電氣的に直列に接続されてなるメモリセルを複数備え、

前記電界効果型トランジスタのソース又はドレインの一方は前記メモリセルのビット線となる導電膜に接続され、前記ソース又はドレインの他方は前記抵抗素子に接続され、

前記抵抗素子は、第 1 の電極層と、加熱処理により抵抗値が変化する相変化材料からなる相変化材料層と、第 2 の電極層とが積層された積層膜からなり、前記導電膜上に絶縁膜を介して形成され、前記第 1 の電極層および前記相変化材料層が前記メモリセル毎に分離され、前記第 2 の電極層は少なくとも 2 つの前記メモリセル内の電界効果型トランジスタに共通の電源端子を接続するように構成されることを特徴とする半導体集積回路装置。

【請求項 5】

前記電界効果型トランジスタのソース又はドレインの一方と前記第 1 の電極層とは、絶縁膜中に形成された接続孔に導電材料が充填されてなるプラグ層によって接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】

前記プラグ層は、前記電界効果型トランジスタのソース又はドレインの他方と前記ビット線を接続する第 1 のプラグ層と、

前記第 1 のプラグ層上に延在して前記第 1 の電極層に接続される第 2 のプラグ層からなることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】

前記第 2 のプラグ層は、その断面積が第 1 のプラグ層の断面積より小さいことを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 8】

前記第 2 のプラグ層には、前記接続孔の側壁に沿って絶縁薄膜が堆積されてい

ることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 9】

前記第 2 のプラグ層は、第 1 の抵抗値を有する第 1 の導電層と、前記第 1 の抵抗値より高い抵抗値を有する第 2 の導電層からなり、前記第 2 の導電層は前記相変化材料層に接続されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 10】

前記相変化材料層は、第 1 の融点材料からなる第 1 の相変化材料層と前記第 1 の融点材料より高い融点を有する材料からなる第 2 の相変化材料層とが積層されてなる積層膜からなり、

前記第 1 の相変化材料層は前記電界効果型トランジスタのソース又はドレインの一方に接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 11】

前記相変化材料層は、結晶化された第 1 の相変化材料層からなることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 12】

前記相変化材料層は、アモルファス化された第 2 の相変化材料層からなることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 13】

前記相変化材料層は、結晶化された第 1 の相変化材料層とアモルファス化された第 2 の相変化材料層とが積層された積層膜からなり、

前記第 1 の相変化材料層は前記電界効果型トランジスタのソース又はドレインの一方に接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 14】

前記相変化材料層は、アモルファス化された第 1 の相変化材料層と結晶化された第 2 の相変化材料層とが積層された積層膜からなり、

前記第 1 の相変化材料層は前記電界効果型トランジスタのソース又はドレイン

の一方に接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 15】

前記相変化材料層は、アモルファス化された第 1 の相変化材料層と結晶化された第 2 の相変化材料層とが積層された積層膜からなり、

前記第 1 の相変化材料層は、前記電界効果型トランジスタのソース又はドレインの一方と、絶縁膜中に形成されたプラグ層とによって接続され、前記プラグ層に電流を流すことにより発生したジュール熱によって、前記第 1 の相変化材料層の一部が結晶化された領域を有することを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 16】

前記第 2 のプラグ層において、前記抵抗素子に接続される部分に TiN 、 $TiAlN$ 、または $PolySi$ のいずれかの材料が設けられていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 17】

前記第 2 のプラグ層において、前記抵抗素子に接続される部分にモリブデン材料が設けられていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置。

【請求項 18】

半導体基板上に形成された抵抗素子と電界効果型トランジスタとが電氣的に直列に接続されてなるメモリセルを複数備え、

前記電界効果型トランジスタのソース又はドレインの一方は前記抵抗素子に接続され、

前記抵抗素子は、第 1 の電極層と、加熱処理により抵抗値が変化する相変化材料からなる相変化材料層と、第 2 の電極層とが積層された積層膜からなり、

前記積層膜の相変化材料の上に積層された前記第 2 の電極層がビット線となり、

少なくとも 2 つの前記メモリセル内の前記ソース又はドレインの他方が共通に接続するように構成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体集積回路装置に関し、特に相変化材料を用いて形成される、高密度集積メモリ回路、あるいはメモリ回路と論理回路とが同一半導体基板に設けられたロジック混載型メモリ、あるいはアナログ回路を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】**【従来の技術】**

例えば、相変化材料からなる抵抗素子を用いたメモリ(相変化メモリ)と、MISFET(Metal Insulator Semiconductor Field Effect Transistor)等で構成される論理回路とを同一の半導体基板上に設けるロジック混載型メモリでは、隣接するメモリセル素子のすべてあるいは一部を、例えばエッチング工程にて、相変化材料を分離することによって形成している。また、メモリセル素子のアドレスを指定するために用いられるビット線とMISFETの半導体基板上の活性領域を電氣的に接続するビット線コンタクト電極が、メモリセノレを構成する抵抗素子間に配置されている。なお、この種の装置に関連するものとしては、例えば特許文献1に開示されている。また相変化記憶材料のプレート電極を共通化してダイオードを選択素子に用いた構造のメモリセルの開示がある(例えば特許文献2および特許文献3参照)。また相変化記憶材料のプレート電極を共通化してトランジスタを選択素子に用いた構造のメモリセルの開示がある(例えば特許文献4参照)。

【0003】**【特許文献1】**

特表2002-540605号公報

【特許文献2】

特開平5-21740号公報

【特許文献3】

特開2003-100084号公報

【特許文献4】

特開 2003-100991 号公報

【0004】

【発明が解決しようとする課題】

抵抗素子をメモリセルごとに分離するプロセス技術においては、相変化材料の分離された面の特性が変化してしまう。まず、相変化材料の分離された面は、例えば層間絶縁膜などの異なる物質と接触する。また、エッチングによって抵抗素子が分離される場合、メモリセル素子の形状がばらついてしまう。また、分離により露出した部分の相変化材料の組成が変化する。

【0005】

その結果、均一な電気特性が要求される高集積度メモリ回路およびロジック混載メモリに用いられる相変化メモリの書き換え回数信頼性が劣化する問題があった。

【0006】

また、ビット線プラグがメモリセル素子の間に配置される技術においては、ビット線プラグによって、メモリセル素子の配置が制限される。

【0007】

その結果、メモリセルの高集積化が制限される問題があった。

【0008】

また、MISFETを選択スイッチとして用いる相変化メモリ技術においては、相変化メモリの高性能化のために、相変化メモリに接続するメモリセル下部コンタクト電極と相変化メモリに接続しないコンタクト電極が異なる形状となる。

【0009】

その結果、ロジック混載メモリに用いられるプロセス技術が複雑化し、高コスト化する問題があった。

【0010】

本発明の目的は、特に相変化材料を用いた例えば、高密度集積メモリ回路、およびメモリ回路と論理回路が同一半導体基板に設けられたロジック混載型メモリ、およびアナログ回路を有する半導体集積回路装置において、均一な電気特性の要求される相変化材料を用いたメモリセル素子の信頼性を向上させることのでき

る技術を提供することにある。

【0011】

また、本発明の他の目的は、半導体集積回路装置の高集積化を図ることにある。

【0012】

また、本発明の他の目的は、半導体集積回路装置の高性能化を図ることにある。

【0013】

また、本発明の他の目的は、半導体集積回路装置の低コスト化を図ることにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

相変化メモリの抵抗素子が集積して配置されているメモリセル領域において、相変化材料層を共通とし、相変化材料の上層に、電源線に接続される共通メモリセル上部プレート電極を形成する。その結果、メモリセル領域の最外周部に位置するメモリセルを除いて、相変化材料の露出が無くなり、エッチングによるメモリセル素子の形状および組成変化の影響が無くなるので、メモリセル素子の電気特性が均一化し、信頼性を向上させることが可能となる。

【0017】

また、アレイ領域の最外周部に位置するメモリセル素子と、それが隣接するメモリの直接周辺回路領域または論理回路領域等をエッチングにより分離するために形成される、相変化材料の側壁間の距離を、隣接するメモリセル素子間の距離よりも、はるかに長くする。または、アレイ領域の最外周部に位置するメモリセ

ル素子の外周部にダミーパターンを配置する。その結果、上記の相変化材料の側壁露出部の影響を、メモリの高集積度を变化させずに、抑えることが可能となる。

【0018】

また、抵抗素子全体の初期状態を高抵抗状態とし、相変化材料層の一部分を低抵抗状態とすることでメモリ動作を行う。その結果、低抵抗状態のメモリセル素子間の相互作用を抑えることが可能となる。

【0019】

また、メモリセル素子が集積して配置されているアレイ領域において、相変化材料層を共通とし、相変化材料の上層に、電源線に接続される共通メモリセル上部プレート電極を形成する、相変化メモリにおいて、ビット線を相変化記録層の下に配置する。その結果、ビット線プラグを、相変化材料およびメモリセル上部プレート電極を貫通することなく形成し、ビット線プラグの貫通による相変化材料の側壁露出を防ぐことが可能となる。

【0020】

また、メモリセル素子が集積して配置されているメモリセル領域において、相変化材料層を共通とし、その上層に、電源線に接続される共通メモリセル上部プレート電極を形成する、相変化メモリにおいて、メモリセル下部コンタクト電極の上部のみに、高抵抗材料、即ちTiN、TiAlN、またはPolySiを配置する。その結果、メモリセル下部コンタクト電極の上部をジュール熱の発生ヒーターとし、相変化材料の相変化領域の形状、特に相変化メモリ用プラグと相変化材料接触部近傍の相変化領域を、所望の形状に変化させることが可能となる。

【0021】

また、相変化メモリにおいて、相変化記録層と、MISFETの半導体基板上の活性領域に接続したコンタクト電極を接続する、メモリセル下部コンタクト電極の上部のみに、高抵抗材料を配置する。その結果、メモリセル下部コンタクト電極を相変化メモリの特性向上のために最適化しつつ、MISFETの半導体基板上の活性領域に接続したコンタクト電極を、ビット線コンタクト電極と同時に形成して低コスト化することが可能となる。

【0022】

また、相変化材料層を異なる相変化材料の積層、特に高融点／低融点相変化材料の積層とする。その結果、相変化材料の相変化領域の形状を、特に相変化材料の積層方向に対して、所望の形状に変化させることが可能となる。

【0023】

また、メモリアレイを複数の抵抗素子を共有するメモリセル上部プレート電極を用いて形成する。その結果、メモリセルの高集積化を図りながら、メモリセル素子のアドレスを指定するワード線およびビット線動作によるメモリセル素子の相互作用を抑えることが可能となる。

【0024】

また、ビット線の上部に相変化記録層を形成する。その結果、ビット線およびビット線コンタクト電極の配置に影響されずにメモリセル素子を配置することが可能となる。

【0025】

また、ビット線の上部に相変化記録層を形成する相変化メモリにおいて、相変化材料層を分離して、抵抗素子を形成する。その結果、ビット線コンタクト電極の配置に影響されずに分離された抵抗素子を配置することが可能となる。

【0026】**【発明の実施の形態】**

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0027】**<実施の形態1>**

図1は、本発明の実施の形態1である半導体集積回路装置の要部断面図である。図1は、ロジック混載メモリ、ロジック論理回路領域および相変化メモリセルのメモリセル領域の断面図を示すものであり、図1に示す領域のうちlgcを論理回路領域という。この論理回路領域lgcには、nチャネル型のMISFET QNが形成されている。nチャネル型のMISFET QNは、pウエル2の上

部に互いに離間して形成され、LDD (Lightly Doped Drain) 構造となっている半導体領域DNと、半導体基板1上に形成されたゲート絶縁膜4と、その上に形成されたゲート電極GNとを有している。

【0028】

この論理回路領域には、pチャネル型のMISFET QPが形成されている。pチャネル型のMISFET QPは、nウエル2aの上部に互いに離間して形成され、LDD (Lightly Doped Drain) 構造となっている半導体領域DPと、半導体基板1上に形成されたゲート絶縁膜4と、その上に形成されたゲート電極GPとを有している。

【0029】

nチャネル型のMISFET QNとpチャネル型のMISFET QPは、浅い溝掘り埋込形の素子分離領域3aにより分離されている。

【0030】

論理回路領域には、ロジックの論理回路、メモリセルのセンスアンプ回路などが配置される。

【0031】

また、相変化メモリセルが形成されるメモリセル領域mmryが位置する。このメモリセル領域には、例えばnチャネル型のメモリセル選択用MISFET QMが形成されている。nチャネル型のメモリセル選択用MISFET QMは、pウエル2の上部に互いに離間して形成され、LDD (Lightly Doped Drain) 構造となっている半導体領域DN、DNCと、半導体基板1上に形成されたゲート絶縁膜4と、その上に形成されたゲート電極GNとを有している。半導体領域DNCは、同一の素子活性領域に形成される隣接するnチャネル型のメモリセル選択用MISFETに共有されている。

【0032】

このようなメモリセル選択用のnチャネル型のMISFET QM、pチャネル型のMISFET QP、およびnチャネル型のMISFET QNは、半導体基板1上に堆積された層間絶縁膜11aおよび11bによって被覆されている。

【0033】

この層間絶縁膜 11a、11b は、例えば酸化シリコン膜からなり、例えば公知のプラズマ CVD 法等によって形成されている。層間絶縁膜 11b の上面は、メモリ領域と論理回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0034】

メモリセル領域 mmry における半導体領域 DNC には、バリヤ金属 12 およびタンゲステン 13 から構成されるビット線コンタクト電極 BC が形成される。このビット線コンタクト電極 BC は、メモリ選択用 n チャンネル型 MISFET QM1、QM2 によって共有されている半導体領域 DNC と電氣的に接続されている。

【0035】

メモリセル領域 mmry における半導体領域 DN には、バリヤ金属 14 およびタンゲステン 15 から構成される金属コンタクト電極 CT が形成される。この金属コンタクト電極 CT は、メモリ選択用 MISFET QM と該 QM の半導体領域 DN とが電氣的に接続されている。

【0036】

論理回路領域における半導体領域 DP には、バリヤ金属 14 およびタンゲステン 15 から構成される金属コンタクト電極 CT が形成される。この金属コンタクト電極 CT は、p チャンネル型 MISFET QP の半導体領域 DP と電氣的に接続している。

【0037】

論理回路領域における半導体領域 DN には、バリヤ金属 14 およびタンゲステン 15 から構成される金属コンタクト電極 CT が形成される。この金属コンタクト電極 CT は、n チャンネル型の MISFET の半導体領域 DN と電氣的に接続している。

【0038】

層間絶縁膜 11b 上には層間絶縁膜 11c が堆積されている。この層間絶縁膜 11c は、例えば酸化シリコン膜からなり、例えば公知のプラズマ CVD 法等に

よって形成されている。

【0039】

この層間絶縁膜 11c 中には、ビット線 BL および第 1 層配線 M1 が形成されている。このビット線は、例えばチタン膜、窒化チタン膜からなるバリア金属 16 およびタングステン 17 が下層から順に堆積されて形成されている。このビット線 BL は、ビット線コンタクト電極 BC と電氣的に接続されて、さらに、ビット線コンタクト電極 BC を通してメモリセル選択用 n チャネル型 MISFET QM の半導体領域 DNC と電氣的に接続されている。

【0040】

論理回路領域の第 1 層配線 M1 は、例えばチタン膜、窒化チタン膜からなるバリア金属 16 およびタングステン膜 17 が下層から順に堆積されて形成されている。この第 1 層配線 M1 は、金属コンタクト電極 CT と電氣的に接続されて、さらに、金属コンタクト電極 CT を通して、p チャネル型の MISFET QP の半導体領域 DP、および n チャネル型の MISFET QN の半導体領域 DN と電氣的に接続されている。

【0041】

層間絶縁膜 11c の上面には、層間絶縁膜 11d が堆積されている。この層間絶縁膜 11d は、例えば、酸化シリコンからなる。層間絶縁膜 11d の上面は、メモリセル領域 mmry と論理回路領域 lgc でその高さがほぼ一致するように平坦に形成されている。

【0042】

メモリセル領域 mmry における層間絶縁膜 11d には金属コンタクト電極 CT の上面が露出するような接続孔が穿孔されている。

【0043】

この接続孔には、例えば窒化シリコンまたは酸化シリコンからなるスペーサー絶縁膜 18 および、例えばタングステンからなる伝導材料 19 が埋め込まれており、さらにその上には例えば窒化チタン膜からなる高抵抗伝導材料 20 が埋め込まれている。

【0044】

メモリセルの下部コンタクト電極TPは、金属コンタクト電極CTと電氣的に接続され、さらにこれを通じてメモリセル選択用MISFET QMの半導体領域DNと電氣的に接続されている。すなわち、メモリセルの下部コンタクト電極TPと金属コンタクト電極CTは2段プラグ電極を形成している。

【0045】

層間絶縁膜11dの上面には、層間絶縁膜11eが堆積されている。この層間絶縁膜11eは、例えば、酸化シリコンからなる。

【0046】

メモリセル領域における層間絶縁膜11e中には、メモリ素子となる抵抗素子Rが形成されている。

【0047】

抵抗素子Rは、プレート形状に形成されており、例えば窒化シリコンから成る膜はがれ防止膜21と、その表面に被覆された相変化記録材料膜22と、例えばその表面に被覆された相変化記録材料膜22と異なる相変化記録材料膜23からなる相変化材料層CGと、その表面に被覆された、例えばタングステンから成るメモリセル上部プレート電極24とから構成されている。抵抗素子Rを構成する相変化材料層22、23は、例えばカルコゲナイド $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{Ge}_3\text{Sb}_2\text{Te}_6$ からなる。

【0048】

抵抗素子Rの下部は、メモリセル下部コンタクト電極TPと電氣的に接続され、これを通じてメモリセル選択用のnチャネル型MISFET QMの半導体領域DNと電氣的に接続されている。

【0049】

抵抗素子Rは、メモリセルの単位ビットに相当する、メモリセル下部コンタクト電極TPを、複数覆うように形成されている。

【0050】

メモリセル領域mmryにおける層間絶縁膜11f中には、メモリセル上部プレート電極24の上面が露出するような接続孔が穿孔されている。この接続孔内には、例えばチタン膜、窒化チタン膜からなるバリヤ金属25が埋めこまれてお

り、さらにタングステン 26 からなる金属膜が埋めこまれてメモリセルビア VM が形成される。

【0051】

論理回路領域 l g c における層間絶縁膜 11 d および 11 f 中には、第 1 配線層 M1 の上面が露出するような接続孔が穿孔されている。この接続孔内には、例えばチタン膜、窒化チタン膜からなるバリヤ金属 25 a が埋めこまれており、さらにタングステン 26 a からなる金属膜が埋めこまれてビア VL が形成される。

【0052】

層間絶縁膜 11 e の上面は、メモリ領域 m m r y と論理領域 l g c でその高さがほぼ一致するように平坦に形成されている。

【0053】

層間絶縁膜 11 e の上面には、層間絶縁膜 11 f が堆積されている。この層間絶縁膜 11 f は、例えば、酸化シリコンからなる。層間絶縁膜 11 f 内には、第 2 配線層 M2 が形成されている。

【0054】

次いで、本実施の形態 1 のメモリセル領域の要部レイアウトを図 2、図 3 を参照し説明する。

【0055】

まず、図 2 に示されるように、p ウェル上にはゲート電極 GN を有する n チャネル型の MISFET の活性領域（素子活性領域もしくは素子形成領域）L が形成されている。このゲート電極 GN は、メモリセルアレイのワード線として用いられる。

【0056】

また、これらの n チャネル型の MISFET の活性領域 L 上には、金属コンタクト電極 CT が形成されている。

【0057】

また、これらの n チャネル型の MISFET の活性領域 L 上には、ビット線コンタクト電極 BC が形成されている。ビット線コンタクト電極 BC は、n チャネル型の MISFET の活性領域 L の Y 方向に対して凸となるように形成されてい

る。

【0058】

また、図3に示されるように、ビット線コンタクト電極BCの、nチャネル型のMISFETの活性領域LのY方向に対して凸となる部分の上部と接続するように、ビット線BLが配置されている。

【0059】

また、金属コンタクト電極CT上には、メモリセル下部コンタクト電極TPが形成されている（図示しない）。

【0060】

また、図2、図3の要部レイアウト図の全面に、相変化記録層CGが形成されている。この相変化記録層CGは、メモリセル下部コンタクト電極TPとメモリセル上部プレート電極24に接続されている。

【0061】

また図2、図3に示した活性領域Lがメモリセル領域に周期的に配置されていることは言うまでもない。

【0062】

また図2、図3に示したワード線として用いられるゲート電極GNが、メモリセル領域において、平行して連続している、即ちX方向に配置されていることは言うまでもない。

【0063】

また図2、図3に示したビット線が、メモリセル領域において、平行して連続している、即ちY方向に配置されていることは言うまでもない。

【0064】

図3に示すように、本実施の形態においては、平面レイアウトにおいて、金属コンタクト電極CTが、ビット線BLの間に配置されていることを特徴としている。

【0065】

以下、本実施の形態の半導体集積回路装置を、図4～図17を参照し、その製造工程をたどりながら詳細に説明する。なお、本実施の形態を説明するための全

図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0066】

まず、公知の方法を用いてMISFETを形成する。半導体基板1は、例えば導電型がp型のシリコン単結晶からなる。また、論理回路領域lgcおよびメモリセル領域mmryにおける半導体基板1において、公知の方法を用いて、pウエル2が、形成されている。また、論理回路領域lgcにおける半導体基板1において、公知の方法を用いて、nウエル2aが、形成されている。

【0067】

このような半導体基板1の上層部には、公知の方法を用いて、浅い溝掘り埋込形の素子分離領域3、3a、3b、が、形成されている。この素子分離領域（絶縁膜3、3a、3b）によって区画された領域が、いわゆる活性領域であり、この領域の一部に素子等が形成される。半導体基板1上のゲート絶縁膜4は、例えば酸化シリコンからなり、その厚さは、例えば1.5～10nm程度に設定されている。

【0068】

次いで、公知の方法を用いて、n型多結晶シリコン膜5、p型多結晶シリコン膜5aが形成される。次いで、公知の方法を用いて、nチャネル型MISFETのLDD活性領域9、pチャネル型MISFETのLDD活性領域9aが形成される。次いで、公知の方法を用いて、例えば酸化シリコン膜からなるサイドウォールスペーサ7、例えば窒化シリコン膜からなるサイドウォールスペーサ8、が形成される。次いで、公知の方法を用いて、nチャネル型MISFETの活性領域10、pチャネル型MISFETの活性領域10a、およびn型多結晶サリサイド膜6、p型多結晶サリサイド膜6aが形成される。次いで、公知の方法を用いて、層間絶縁膜11a、11b、が形成される。

【0069】

このように、MISFETのサリサイドゲート電極構造GN、GP、拡散層領域DN、DNC、DP、サイドウォールスペーサ、7、8、層間絶縁膜11a、11b、が公知の方法を用いて、形成される。層間絶縁膜11bの上面は、メモ

り領域と論理回路領域とでその高さがほぼ一致するように平坦に形成され、図4のようになる。

【0070】

次いで、その層間絶縁膜11b上に、論理回路の接続孔、メモリセル領域における接続孔およびメモリセル領域におけるビット線孔形成用のフォトレジストを形成し、これをエッチングマスクとして層間絶縁膜11a、11bに、nチャネル型MISFET QNの半導体領域DNと、pチャネル型MISFET QPの半導体領域DPと、メモリセル選択用n型MISFET QMの半導体領域QNと、メモリセル選択用n型MISFET QMの半導体領域DNCの上面が露出するような接続孔を穿孔する。

【0071】

次いで、フォトレジストパターンを除去した後、半導体領域DN、DP、DNCに、例えばチタン膜および窒化チタン膜からなるバリヤ金属14をスパッタリング法等によって下層から順に堆積する。その堆積膜上に、例えばタングステン15をCVD法等によって積み重ねて接続孔を埋め込み、金属コンタクト電極CTおよびビット線コンタクト電極BCを形成する。これを公知のCMP法を用いて、層間膜11bの上部が露出し、接続孔中の金属コンタクト電極CTとビット線コンタクト電極BCが同じ高さになるまでエッチバックし、金属コンタクト電極CTとビット線コンタクト電極BCを完全に分離すると、図5のようになる。

【0072】

次いで、表面全面に、例えば窒化シリコンからなる絶縁膜を堆積し（図示しない）、層間酸化シリコン11bのエッチバックストッパーとして用いる。

【0073】

次いで、半導体基板1上に、例えば酸化シリコンからなる絶縁膜11cを堆積した後、その層間絶縁膜11c上に、論理回路の第一層配線およびビット線形成用のフォトレジストを形成し、これをエッチングマスクとして層間絶縁膜11bの上面を露出させるような、論理回路の第一層配線溝およびビット線溝を形成する。

【0074】

次いで、例えばチタン膜および窒化チタン膜からなるバリヤ金属膜 16 をスパッタリング法等によって下層から順に堆積し、その上に、例えばタングステン膜 17 を CVD 法等によって積み重ねて導体膜を形成し、これを公知の CMP 法を用いて、層間膜 11c の上面が露出し、溝中のビット線 BL および第一層配線 M1 上面が同じ高さになるまでエッチバックし、ビット線 BL および第 1 層配線 M1 を完全に分離すると、図 6 のようになる。

【0075】

次いで、表面に、例えば酸化シリコンからなる絶縁膜 11d を堆積し、続いて、例えば窒化シリコンからなる相変化材料はがれ防止膜 21 を堆積すると、図 7 のようになる。

【0076】

次いで、リソグラフィおよびドライエッチ工程により、メモリセル領域における 2 段電極の下部 CT の上面を露出させるような、2 段電極の上部の孔を形成し、表面全体に、例えば窒化シリコンからなるスペーサー絶縁膜 18 を堆積すると、図 8 のようになる。

【0077】

次に、スペーサー絶縁膜を異方性エッチバックして、金属コンタクト電極 CT の上面を露出させると、図 9 のようになる。

【0078】

次いで、例えばチタン膜および窒化チタン膜からなるバリヤ金属膜（図示しない）をスパッタリング法等によって下層から順に堆積する。その堆積膜上に、例えばタングステンからなる伝導材料 19 を CVD 法等によって積み重ねて接続孔を埋め込み、これを公知の CMP 法を用いて、相変化材料はがれ防止膜 21 の上面が露出し、孔中の伝導材料 19 および相変化材料はがれ防止膜 21 の上面が同じ高さになるまでエッチバックし、伝導材料 19 を完全に分離すると、図 10 のようになる。

【0079】

次いで、このコンタクト孔に埋めこまれた伝導材料 19 を、例えば 20 nm エッチバックすると、図 11 のようになる。

【0080】

次いで、例えばチタン膜および窒化チタン膜からなる高抵抗金属20をスパッタリング法等によって下層から順に堆積して、コンタクト孔を埋めこむ。次にメモリセル下部コンタクト電極TPおよび相変化材料はがれ防止膜21の上面が同じ高さになるまでエッチバックし、メモリセル下部コンタクト電極TPを完全に分離すると、図12のようになる。

【0081】

また、本実施の形態においては、高抵抗金属20を用いて、メモリセル下部コンタクト電極孔を埋めこんだが、メモリセル下部コンタクト電極上面が平坦となるような、CMP平坦性のよい金属を用いてもよい。例えば、結晶粒系の小さいMo（モリブデン）を用いることができる。CMP平坦性のよい金属には、コンタクト金属の凹凸部分で起こる電界集中による、局所的な相変化を抑える効果が有る。その結果、メモリセル素子の電気特性の均一性、および書き換え回数信頼性、および耐高温動作特性が向上する。

【0082】

次いで、相変化材料22、例えば相変化材料22と融点の異なる相変化材料23、例えばタングステンからなる金属膜24を順に堆積すると、図13のようになる。

【0083】

次いで、相変化材料はがれ防止膜21、相変化材料22、相変化材料23、タングステン24を抵抗素子Rとして加工し、図14のようになる。

【0084】

次いで、層間膜11eを堆積すると、図15のようになる。

【0085】

次いで、リソグラフィおよびドライエッチ工程により、メモリセル領域mmr yにおいて層間膜11eを穿孔して接続孔を形成し、論理回路領域lgcにおいて層間膜11f、11eを穿孔して接続孔を形成し、バリヤ金属25、タングステン26順に堆積する。この接続孔を埋めこみ、層間膜11eの上面が露出し、孔中のタングステン26および層間膜11eの上面が同じ高さになるまでエッチ

バックし、メモリセル領域のビア電極コンタクトVMおよび論理回路領域のビア電極コンタクトVLを完全に分離すると、図16のようになる。

【0086】

次いで、表面に、銅配線バリヤ膜27および層間膜11fを堆積し、リソグラフィおよびドライエッチ工程により、層間膜11eを穿孔して配線溝を形成し、銅配線金属バリア膜28、銅配線29を順に堆積し、配線溝を埋めこみ、層間膜11fの上面が露出し、溝中の金属配線および層間膜11fの上面が同じ高さになるまでエッチバックし、第2配線M2を形成することにより、図17のようになる。

【0087】

第2層配線M2の上部には、公知の方法を用いて、複数の配線層が形成されているが、それらの図示は省略する。

【0088】

また、公知の方法を用いて、400℃～450℃程度の水素アニールが行われた後に、半導体製造装置が完成する。

【0089】

また、本実施の形態では、図2に示すように、素子活性領域の形状は直線型で、ビット線コンタクト電極BCは、素子活性領域の長手方向に凸となる形状であるとしたが、図18に示すように、素子活性領域の形状が凸型としてもよい。

【0090】

また、図19、図20に示すように、素子活性領域の形状が斜め型としてもよい。また、図47に示す様に、素子活性領域の形状を直線型としても良い。

【0091】

また、本実施の形態では、図3に示すように、ビット線周期の二周期に一度の頻度で、メモリセル素子がワード線方向に配置されている、いわゆる2交点レイアウトとなっている。このレイアウトの利点は、最近接メモリセル素子が、同じワード線を用いて選択されないため、最近接メモリセル間の相互作用を抑えることができる点にある。

【0092】

また、図 21、図 22 に示すように、ビット線周期の一周期に一度の頻度で、メモリセル素子がワード線方向に配置されている、いわゆる 1 交点レイアウトとしても良い。このレイアウトの利点は、メモリセルを高集積化できる点にある。

【0093】

また、図 23、図 24 に示すように、ビット線周期の三周期に二度の頻度で、メモリセル素子がワード線方向に配置されている、いわゆる 1.5 交点レイアウトとしてもよい。

【0094】

本実施の形態 1 においては、相変化記録層が共通化しており、メモリセル下部コンタクト電極 TC 上部と相変化材料はがれ防止膜 21 界面が、図 27 のようになっている。

【0095】

メモリセル素子の高抵抗状態（“1”状態）は、図 39 に示すように、メモリセル下部コンタクト電極の上面を覆うように、相変化材料がアモルファス化した状態となる。これに対応するメモリセル素子の低抵抗状態（“0”状態）は、図 40 に示すように、相変化材料の全体が結晶化した状態となる。

【0096】

また、メモリセル素子の高抵抗状態（“1”状態）は、図 41 に示すように、相変化材料の全体がアモルファス化した状態でも良い。これに対応するメモリセル素子の低抵抗状態（“0”状態）は、図 42 に示すように、メモリセル下部コンタクト電極の上面を覆うように、相変化材料が結晶化した状態となる。

【0097】

ちなみに、図 41、図 42 では、相変化材料層を単層としたが、相変化材料を積層としても良い。

【0098】

このように、本実施の形態においては、メモリセル素子が集積して配置されているメモリセル領域において、相変化材料層を共通とした。その結果、メモリセル素子の電気特性が均一化し、信頼性を向上させることを可能とした。

【0099】

このような効果が得られる理由について以下に詳細に説明する。

例えば、要部断面図が、図 48 に示すような半導体集積回路装置を考える。図 48 の半導体製造装置においては、相変化材料層の上部にビット線 BL2 が配置されている。この例では、相変化材料層の側壁がメモリセル素子ごとに露出して配置されている。このため、エッチングによるメモリセル素子の形状および組成変化の影響が発生する。

【0100】

しかしながら、本実施の形態では、メモリセル領域の最外周部に位置するメモリセル素子を除いて、相変化記録層の側壁界面が無い場合、エッチングによるメモリセル素子の形状および組成変化の影響が無くなる。

【0101】

このような効果が得られる理由は、メモリセル領域の最外周部に位置するメモリセル素子を除いて、相変化記録層の側壁界面が無くなり、また、エッチングによるメモリセル素子の形状および組成変化の影響が無くなるからである。

【0102】

また、本実施の形態においては、相変化材料層を異なる相変化材料の積層、特に高融点／低融点相変化材料の積層とした。その結果、メモリセル素子の電気特性が均一化し、信頼性を向上させることを可能とした。

【0103】

このような効果が得られる理由について以下に詳細に説明する。メモリセル上部プレート電極に接する相変化材料が、その下部に形成される相変化材料よりも、高融点の場合、アモルファス層が相変化材料の相変化領域の形状を、特に相変化材料の積層方向に対して、小さくするような形状に相変化させることができる。例えば、図 39 に示すように、メモリセル下部コンタクト電極部から形成されるアモルファス層がメモリセル上部プレート電極と接触することを抑えることができる。その結果、相変化材料層とメモリセル上部プレート電極金属物質の相互拡散を防ぐことができるので、メモリセル素子の電気特性が均一化し、信頼性を向上させることが可能となった。

【0104】

また、本実施の形態においては、相変化材料層と、M I S F E Tの半導体基板上の活性領域に接続するコンタクト電極を接続する、メモリセル下部コンタクト電極の上部のみに、高抵抗材料を配置した。その結果、メモリセル下部コンタクト電極の上部をジュール熱を発生するヒーターとすることができるので、メモリセル素子の書き換え速度を向上することができる。

【0105】

このような効果が得られる理由について以下に詳細に説明する。メモリセル下部コンタクト電極の上部に、高抵抗伝導材料を配置しない場合、図40に示すように、相変化材料層を電気パルスにより加熱する場合、相変化材料層よりメモリセル下部コンタクト電極へ熱が逃げやすいため、メモリセル下部コンタクト電極近傍の相変化材料層の温度が低下し、相変化材料層の相変化領域の形状、特にメモリセル下部コンタクト電極近傍の領域を、メモリセル下部コンタクト電極の上面を完全に覆うような形状に相変化させることができない。しかし、メモリセル下部コンタクト電極の上部のみに、高抵抗伝導材料を配置する場合、この高抵抗伝導材料がジュール熱を発生するので、メモリセル下部コンタクト電極部へ熱が伝熱しにくくなり、メモリセル下部コンタクト電極近傍における温度低下が抑えられる。その結果、図39に示すような、特にメモリセル下部コンタクト電極と相変化材料接触部近傍の相変化領域を、メモリセル下部コンタクト電極の上面を完全に覆うことが短時間のうちに可能となる。

【0106】

また、メモリセル下部コンタクト電極の全体に、高抵抗伝導材料を配置する場合、メモリセル下部コンタクト電極の抵抗値が高くなり、メモリ動作特性を劣化させる要因となる。しかし、メモリセル下部コンタクト電極の上部のみに、高抵抗伝導材料を配置する場合、抵抗値はほとんど変わらない。

【0107】

また、本実施の形態においては、メモリセル素子が集積して配置されているメモリセル領域において、相変化材料層を共通とし、かつ、相変化材料層の上層のみに、電源線に接続される共通上部金属電極を形成した。その結果、メモリセル素子の電気特性が均一化し、信頼性を向上させることを可能とした。

【0108】

このような効果が得られる理由について以下に詳細に説明する。相変化材料層の上層のみに共通上部金属電極 24 が形成される場合、図 43 の横方向の電界を抑えることができるので、隣接する相変化メモリ間の相互作用が抑えられるので、メモリセル素子の電気特性が均一化し、信頼性を向上させることが可能となる。しかし、図 44 に示すように、相変化材料層の側壁部に電極 31 が形成される場合、図 44 の横方向の電界が主成分として発生し、隣接する相変化メモリ間の相互作用が起こる可能性がある。

【0109】

また、本実施の形態においては、相変化材料層と M I S F E T の拡散層を接続するコンタクト電極を 2 段コンタクト電極とした。その結果、2 段プラグの上段であるメモリセル下部コンタクト電極の構造は、相変化メモリの特性向上のために最適化しつつ、2 段プラグの下段である金属コンタクト電極を論理回路 M I S F E T およびビット線コンタクト電極と同時プロセスで形成し、低コスト化することができる。

【0110】

また、本実施の形態においては、ビット線を相変化材料層の下に配置した。その結果、メモリセル素子の電気特性が均一化し、信頼性を向上させることが可能となった。

【0111】

このような効果が得られる理由について以下に詳細に説明する。ビット線を相変化材料層の下に配置する場合、ビット線コンタクト電極はビット線と選択用トランジスタの半導体領域の間に形成される、すなわちビット線コンタクト電極は、相変化材料層を貫通しない、あるいは相変化材料層の間に配置されない。その結果、ビット線プラグの貫通による相変化材料の側壁露出を防ぐことができるため、メモリセル素子の電気特性が均一化し、信頼性を向上させることが可能となった。

【0112】

また、本実施の形態においては、公知の方法を用いて、400℃～450℃程

度の水素アニールが行われている。そのため、完成した半導体製造装置の、相変化記録層の初期状態は結晶化している。この結晶化した状態の相変化記録層を用いて、下部電極近傍をアモルファス化させることにより、相変化メモリ動作させることが可能である。

【0113】

<実施の形態2>

本実施の形態は、ビット線の上に、カルコゲナイド層及びプレート電極を分離した相変化材料層を配置する構造に関するものである。

【0114】

なお、実施の形態2の半導体集積回路装置の相変化材料は、がれ防止膜21、相変化材料22、相変化材料23、タンゲステン24を堆積するまでの製造方法は、実施の形態1の図4から図13までの、窒化シリコン膜21、相変化材料22、相変化材料23、タンゲステン24の堆積までの製造方法と同様であるため、その説明を省略する。

【0115】

本実施の形態においては、次いで、相変化材料はがれ防止膜21、相変化材料22、相変化材料23、タンゲステン24を抵抗素子Rとして加工し、図25のようになる。

【0116】

以後の製造方法は、本実施の形態1と同じであり、第2層配線形成後は、図26のようになる。

【0117】

本実施の形態においては、抵抗素子Rがメモリセル素子ごとに分離されており、図28のようになっている。ビット線BLを相変化材料層の下に配置するため、ビット線およびビット線プラグの配置に影響されずにメモリセル素子を配置することができるので、メモリセル素子の電気特性の均一化および、信頼性向上のための面積ペナルティを抑えて、メモリセルの高集積化を図ることが可能となる。

【0118】

また、本実施の形態においては、相変化記録層がメモリセル素子ごとに分離されているが、図 29 に示すように、相変化記録層がビット線周期ごとに分離されていてもよい。この形状は、ビット線コンタクトの貫通孔の影響による面積ペナルティのない、任意の形状とすることが可能である。

【0119】

また、図 30 に示すように、相変化記録層がワード線周期ごとに分離されていてもよい。この形状は、ビット線コンタクトの貫通孔の影響による面積ペナルティのない、任意の形状とすることが可能である。

【0120】

また、図 31 に示すように、相変化材料層が素子活性領域周期ごとに分離されていてもよい。この形状は、ビット線コンタクトの貫通孔の影響による面積ペナルティのない、任意の形状とすることが可能である。

【0121】

また、本実施の形態においては、メモリセル上部プレート電極が相変化材料上に配置されているが、

図 45 に示すように、相変化材料層をメモリセルビア VM で接続し、第 2 配線層を配置する構造としてもよい。第 2 配線層に銅配線を用いることで、上部電極を低抵抗化することができる。

【0122】

<実施の形態 3>

本実施の形態は、カルコゲナイド層を分離した相変化材料層の上部に、共通化したプレート電極を配置した構造に関するものである。

【0123】

なお、実施の形態 3 の半導体集積回路装置の例えばチタン膜および窒化チタン膜からなる高抵抗金属 20 をスパッタリング法等によって下層から順に堆積して、メモリセル下部コンタクト電極孔を埋めこみ、相変化材料はがれ防止膜 21 の上面が露出し、メモリセル下部コンタクト電極 TP および相変化材料はがれ防止膜 21 の上面が同じ高さになるまでエッチバックし、コンタクト電極を完全に分離するまで製造方法は、実施の形態 1 の図 4 から図 12 までの、チタン膜および

窒化チタン膜からなる高抵抗金属 20 をスパッタリング法等によって下層から順に堆積して、メモリセル下部コンタクト電極孔を埋めこみ、相変化材料はがれ防止膜 21 の上面が露出し、孔中のメモリセル下部コンタクト電極 TP および相変化材料はがれ防止膜 21 の上面が同じ高さになるまでエッチバックし、メモリセル上部コンタクト電極 TP を完全に分離するまでの製造方法と同様であるため、その説明を省略する。

【0124】

本実施の形態においては、次いで、相変化材料はがれ防止膜 21、相変化材料 22、相変化材料 23 を堆積し、図 32 のようになる。

【0125】

次いで、相変化材料はがれ防止膜 21、相変化材料 22、相変化材料 23 を記録膜層 CM として加工し、図 33 のようになる。

【0126】

次いで、層間膜 11g を堆積し、層間膜 11g を例えば CMP を用いてエッチバックして相変化材料の上面を露出させると、図 34 のようになる。

【0127】

次いで、例えばタングステン 24 を堆積すると、図 35 のようになる。

【0128】

次いでタングステン 24 をメモリセル上部プレート電極として加工すると、図 36 のようになる。

【0129】

次いで、層間膜 11h を堆積すると、図 37 のようになる。

【0130】

以後の製造方法は、本実施の形態 1 と同じであり、第 2 層配線形成後、図 38 のようになる。

【0131】

本実施の形態においては、相変化材料上にプレート上部電極が形成されている。ビット線を相変化材料層の下に配置するため、プレート上部電極で複数の相変化材料層を共有化する場合、ビット線およびビット線プラグの配置に影響されず

にメモリセル素子を配置することができるので、メモリセル素子の電気特性の均一化および、信頼性向上のための面積ペナルティを抑えて、メモリセルの高集積化を図ることが可能となる。

【0132】

なお、本実施の形態においては、図46の相変化材料とメモリセル上部プレート電極界面の要部レイアウト図に示すように、メモリセル上部プレート電極32がビット線と平行となるように分割されていても良い。

【0133】

なお、本実施の形態においては、メモリセル上部プレート電極は、メモリセル素子となる相変化材料層の上面に、十分な接触面積で、接触していれば、任意の形状に分割されていても良い。

【0134】

<実施の形態4>

本実施の形態は、抵抗素子の上にビット線を積層し、その積層をワード線方向に分離する、すなわちビット線方向に分離せずに配置する構造に関するものである。

【0135】

なお、実施の形態2の半導体集積回路装置の相変化材料は、がれ防止膜21、相変化材料22、相変化材料23、タンゲステン24BL、を堆積するまでの製造方法は、実施の形態1の図4から図13までの、窒化シリコン膜21、相変化材料22、相変化材料23、タンゲステン24、の堆積までの製造方法と同様であるため、その説明を省略する。

【0136】

本実施の形態においては、次いで、相変化材料はがれ防止膜21、相変化材料22、相変化材料23、タンゲステン24BL、を抵抗素子とビット線の積層膜RBLとして加工し、図49のようになる。以後の製造方法は、本実施の形態1と同じである。

【0137】

本実施の形態においては、タンゲステン24BLはビット線として作用する。

ビット線は抵抗素子の上に積層、すなわち抵抗素子の上に配置されている。また、抵抗素子の下に配置された第一層配線M1は、ビット線として作用せず、例えばグランド配線として作用する。

【0138】

本実施の形態においては、図51に示すように、相変化記録層がビット線周期ごとに分離されている。この形状は、ビット線方向において、相変化材料層の側壁が露出しない効果により、メモリセル素子の電気特性の均一化および、信頼性向上のための面積ペナルティを抑えて、メモリセルの高集積化を図ることが可能となる。

【0139】

また、本実施の形態は、図18に示すような、素子活性領域の二交点セル配置とすることで、抵抗素子とビット線の積層膜RBLを、同一のワード線に選択されない二本のビット線ごとに分離してもよい。この場合の抵抗素子とビット線の積層RBLのメモリセル下部電極コンタクトプラグに対するレイアウト配置は図50のようになる。ちなみに、図18に示すような、素子活性領域の二交点セル配置とすることで、図50に示すビット線によって、同一ワード線上の隣接するメモリセルが選択されない配置となる。本実施の形態では、上部金属電極を含む相変化材料層をビット線として用いるため、ビット線方向および同一のワード線に選択されない二本のビット線間において、相変化材料層の側壁が露出しないので、メモリセル素子の電気特性の均一化および、信頼性向上のための面積ペナルティを抑えて、メモリセルの高集積化を図ることが可能となる。

【0140】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0141】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0142】

相変化材料層を共通化することおよびその上部にプレート電極を形成することにより、相変化材料層の加工に起因した、相変化メモリの電気特性の不均一性および信頼性の劣化を抑えることが可能となる。

【0143】

また、相変化記録層と選択用トランジスタの半導体領域を接続するコンタクト電極の上部のみ、すなわち、相変化記録層と接する部分のみを発熱ヒーターとなる高抵抗材料とすることにより、相変化領域の形成を高速化し、メモリセル素子の書き換え速度を向上させることが可能となる。

【0144】

また、ビット線の上に相変化記録層を配置することにより、ビット線コンタクト電極に影響されずに、面積ペナルティを抑えて、メモリセル素子を高集積に配置し、システムオンチッププロセスと親和性の良いプロセスを用いて、相変化メモリを半導体集積回路に混載することが可能となる。

【図面の簡単な説明】**【図1】**

本発明の実施の形態1である半導体集積回路装置の要部断面図である。

【図2】

図1に示す半導体集積回路装置の要部レイアウト図である。

【図3】

図1に示す半導体集積回路装置の要部レイアウト図である。

【図4】

図1に示す半導体集積回路装置の製造工程中における基板の要部断面図である。

【図5】

図1に示す半導体集積回路装置の製造工程中における基板の要部断面図である。

【図6】

図1に示す半導体集積回路装置の製造工程中における基板の要部断面図である。

。

【図 7】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 8】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 9】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 0】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 1】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 2】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 3】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 4】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 5】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である

。

【図 1 6】

図 1 に示す半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 1 7】

本発明の実施の形態 1 である半導体集積回路装置の要部断面図である。

【図 1 8】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 1 9】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 0】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 1】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 2】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 3】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 4】

本発明の実施の形態 1 である半導体集積回路装置の他の要部レイアウト図である。

【図 2 5】

本発明の実施の形態 2 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 2 6】

本発明の実施の形態 2 である半導体集積回路装置の要部断面図である。

【図 2 7】

本発明の実施の形態 1 である半導体集積回路装置の要部レイアウト図である。

。

【図 2 8】

本発明の実施の形態 2 である半導体集積回路装置の要部レイアウト図である。

【図 2 9】

本発明の実施の形態 2 である半導体集積回路装置の他の要部レイアウト図である。

【図 3 0】

本発明の実施の形態 2 である半導体集積回路装置の他の要部レイアウト図である。

【図 3 1】

本発明の実施の形態 2 である半導体集積回路装置の他の要部レイアウト図である。

【図 3 2】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 3 3】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 3 4】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 3 5】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 3 6】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の

要部断面図である。

【図 3 7】

本発明の実施の形態 3 である半導体集積回路装置の製造工程中における基板の要部断面図である。

【図 3 8】

本発明の実施の形態 3 である半導体集積回路装置の基板の要部断面図である。

【図 3 9】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 0】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 1】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 2】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 3】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 4】

本発明の効果を説明するための半導体集積回路装置の要部断面図である。

【図 4 5】

本発明の実施の形態 2 である半導体集積回路装置の他の基板の要部断面図である。

【図 4 6】

本発明の実施の形態 3 である半導体集積回路装置の要部レイアウト図である。

【図 4 7】

本発明の実施の形態 3 である半導体集積回路装置の要部レイアウト図である。

【図 4 8】

従来例の半導体集積回路装置の要部断面図である。

【図 4 9】

本発明の実施の形態 4 である半導体集積回路装置の要部断面図である。

【図 50】

本発明の実施の形態 4 である半導体集積回路装置の要部レイアウト図である。

【図 51】

本発明の実施の形態 4 である半導体集積回路装置の要部レイアウト図である。

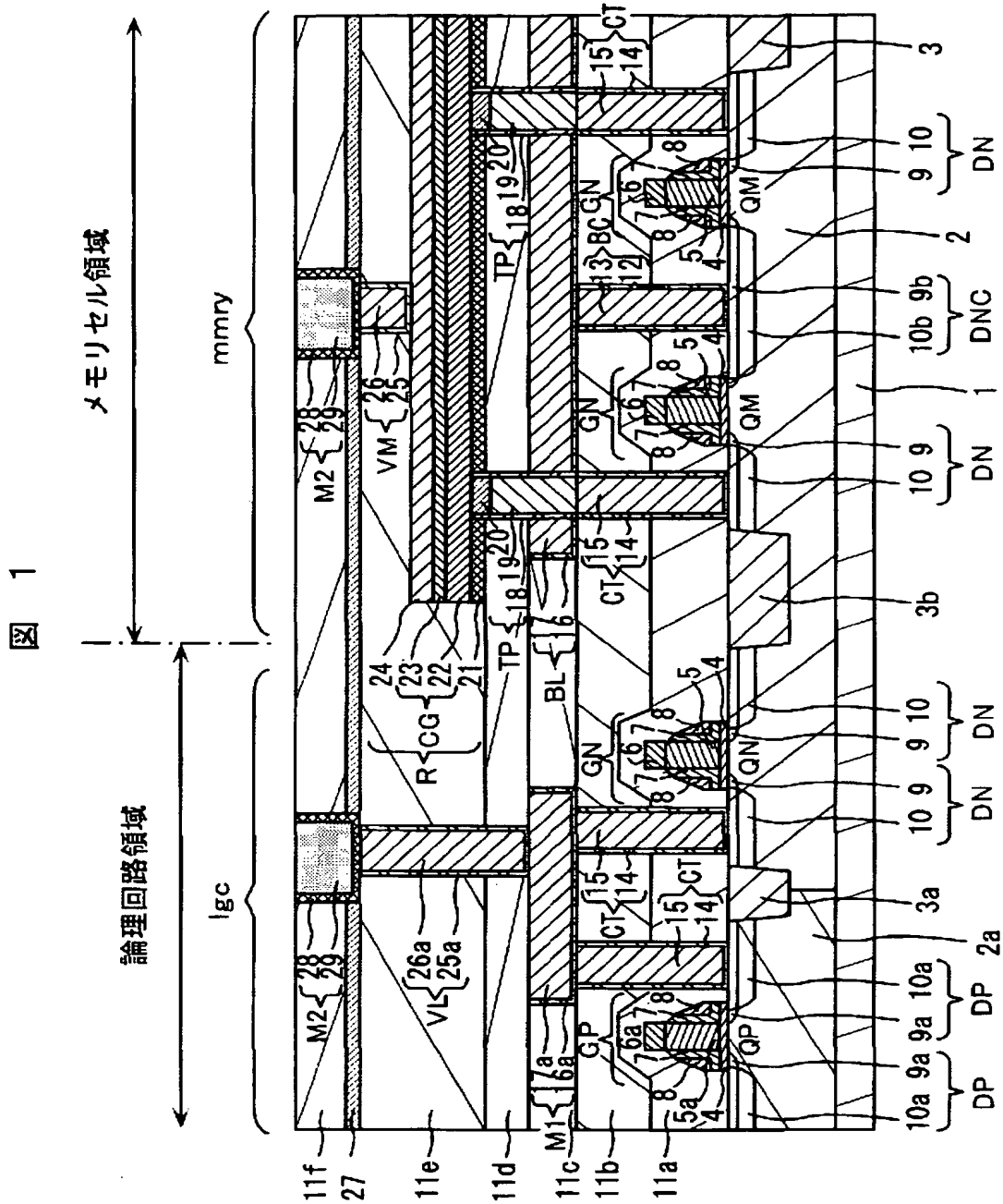
【符号の説明】

1…半導体基板、2…p ウェル、2 a…n ウェル、3, 3 a, 3 b…素子分離溝、
4…ゲート絶縁膜、5…n 型多結晶シリコン膜、5 a…p 型多結晶シリコン膜、
6…n 型多結晶サリサイド膜、6 a…p 型多結晶サリサイド膜、7…サイドウォールスペーサ（酸化シリコン膜）、8…サイドウォールスペーサ（窒化シリコン膜）、9…n チャネル型MISFETのLDD活性領域、10…n チャネル型MISFETの活性領域、9 a…p チャネル型MISFETのLDD活性領域、10 a…p チャネル型MISFETの活性領域、11 a, 11 b, 11 c, 11 d, 11 e, 11 f…酸化シリコン膜（層間絶縁膜）、12…バリヤ金属、13, 15, 17…タングステン、14…バリヤ金属、16…バリヤ金属、18…スペーサー絶縁膜、19…伝導材料、20…高抵抗伝導材料、21…相変化材料はがれ防止膜（絶縁膜）、22, 23…相変化材料層、24, 26…タングステン（金属膜）、25…金属バリヤ、27…銅配線バリヤ絶縁膜、28…銅配線金属バリア膜、29…銅配線、30…相変化材料（アモルファス）、31…メモリセル上部電極、32…メモリセル上部プレート電極、33…相変化材料、40, 41, 42…相変化材料、
mm r y…メモリセル形成領域、
l g c…論理回路形成領域、
DN…n チャネル型MISFETの活性領域、
DNP…n チャネル型MISFETの活性領域、
DP…p チャネル型MISFETの活性領域、
GM…メモリセル選択用 n チャネル型MISFETのゲート電極、
GN…n チャネル型MISFETのゲート電極、
GP…p チャネル型MISFETのゲート電極、

QM…メモリセル選択用 n チャンネル型 M I S F E T、
QN…n チャンネル型 M I S F E T、
QP…p チャンネル型 M I S F E T、
CT…金属コンタクト電極、
TP…メモリセル下部コンタクト電極、
BC…ビット線コンタクト電極、
BL…ビット線、
CG…相変化材料層、
R…抵抗素子、
VM…メモリセル領域ビア、
VL…論理回路領域ビア、
M1…第 1 層配線、
M2…第 2 層配線、
L…M I S F E T の素子活性領域、
RBL…抵抗素子とビット線の積層膜、
24BL…タングステン。

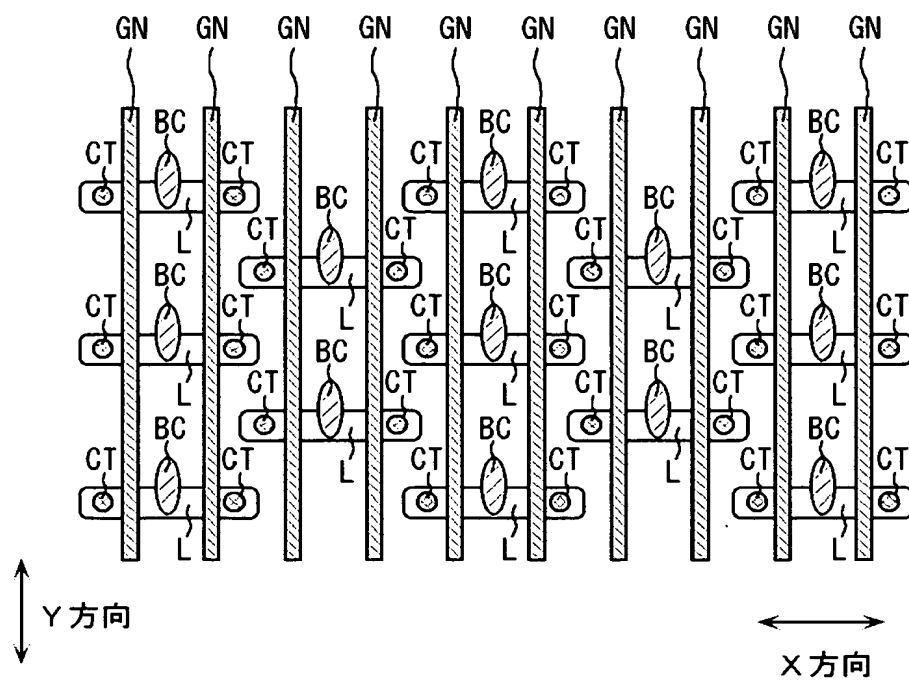
【書類名】 図面

【図 1】



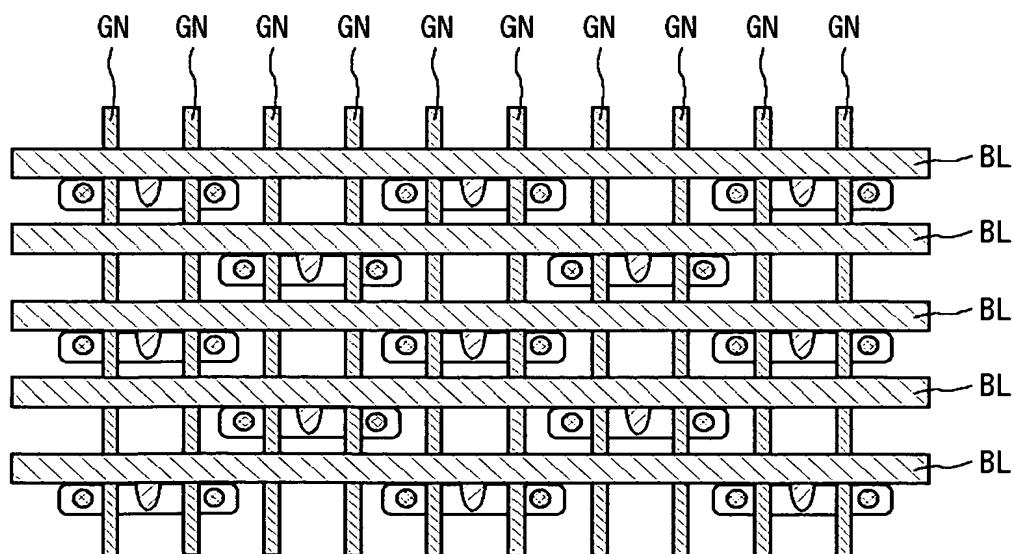
【図 2】

図 2



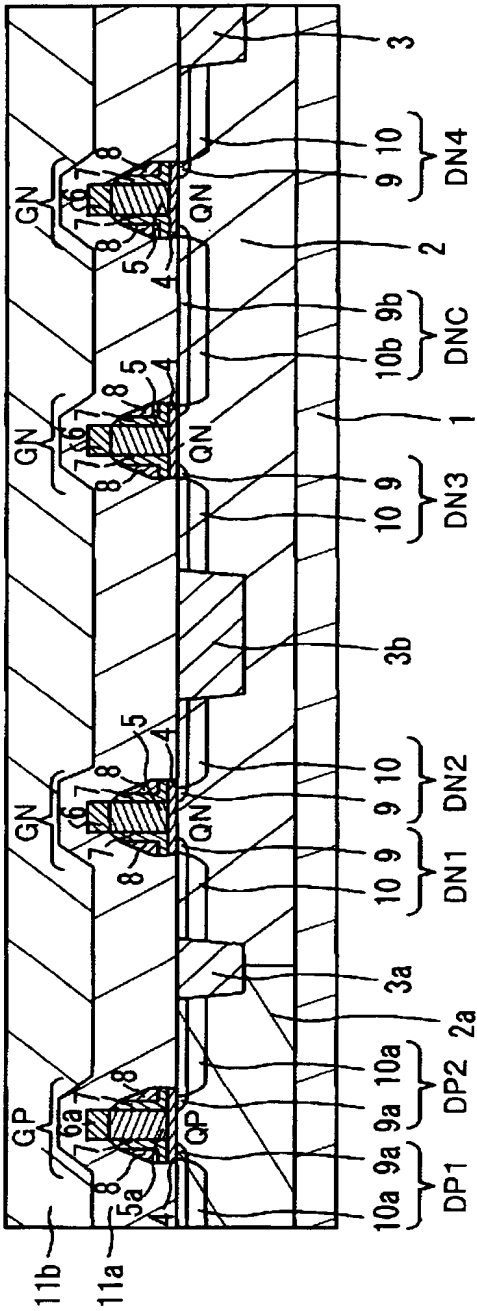
【図 3】

図 3

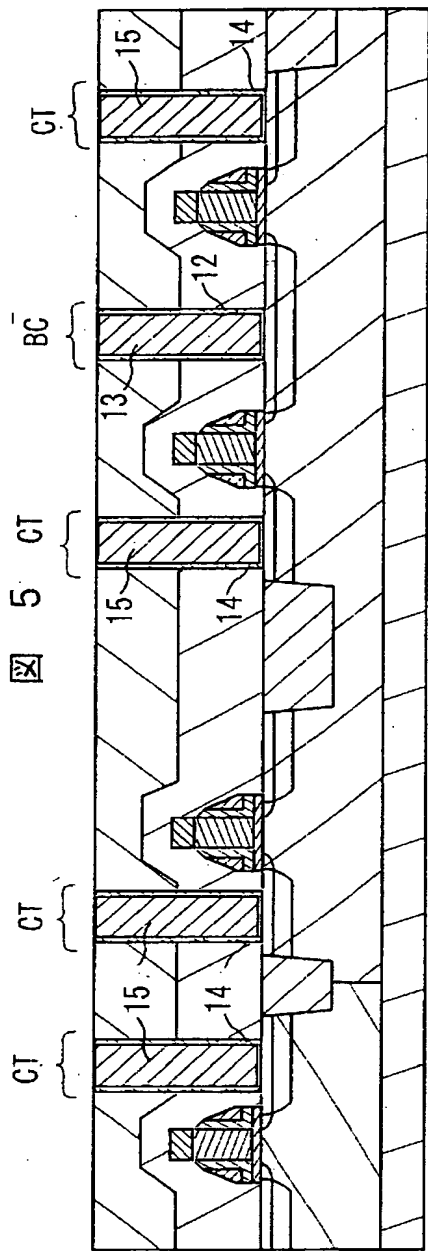


【図 4】

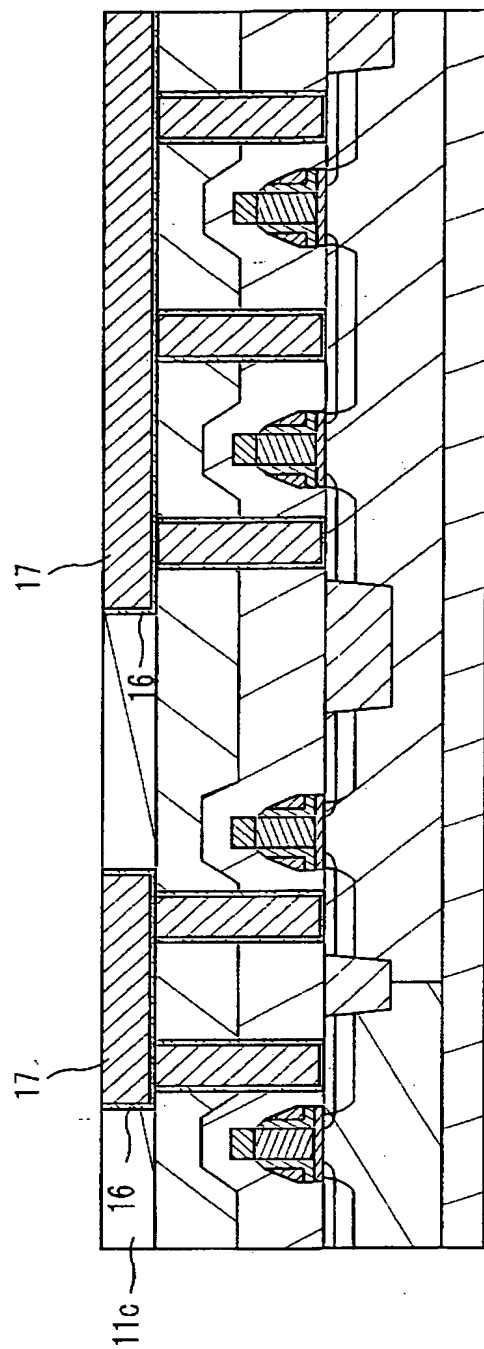
図 4



【図 5】

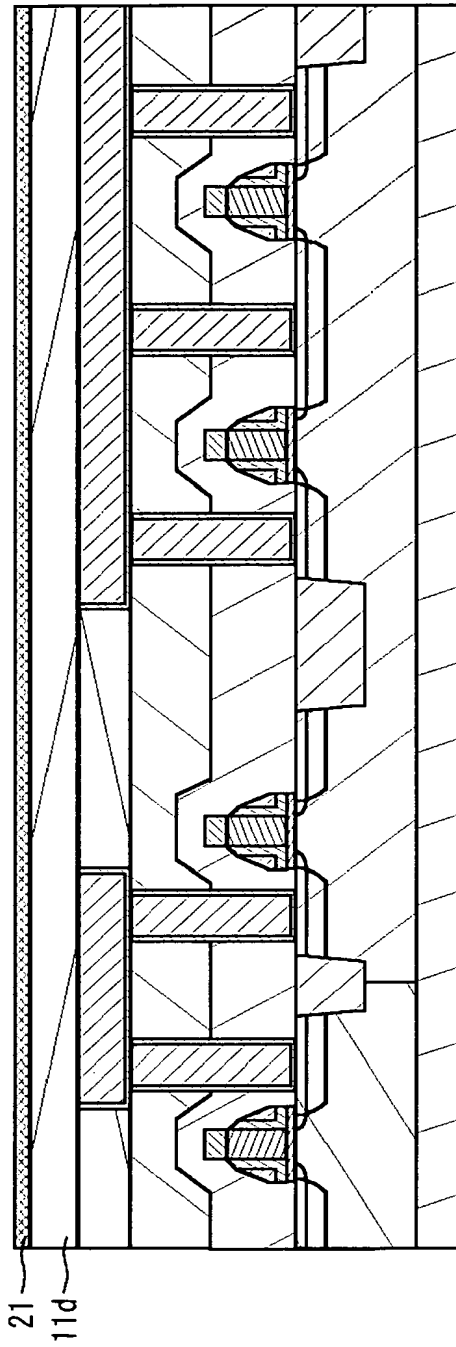


【図 6】



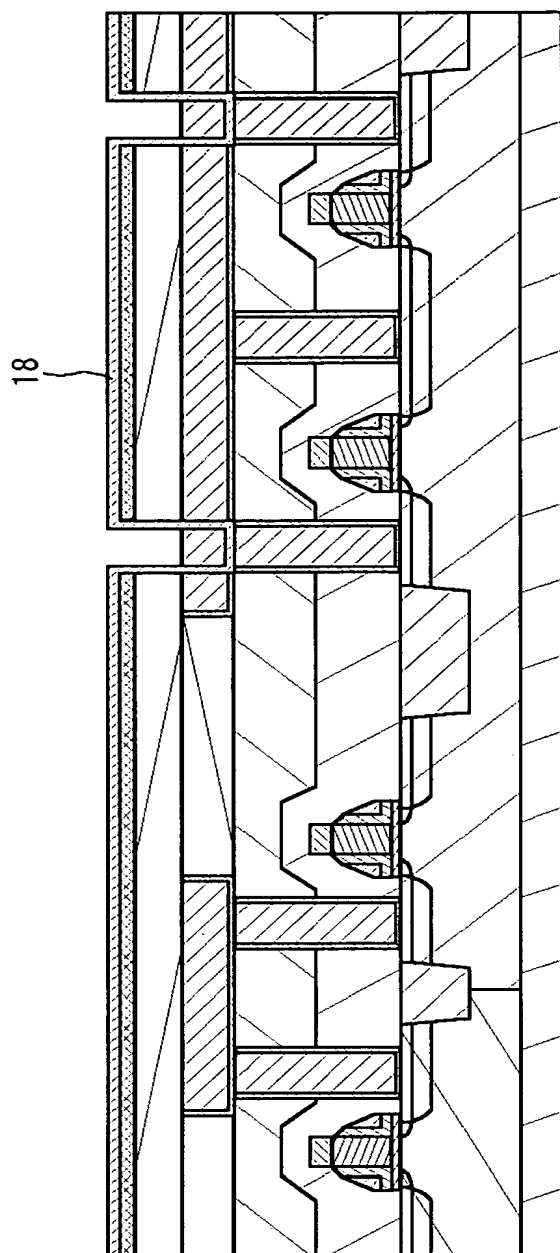
【図 7】

図 7



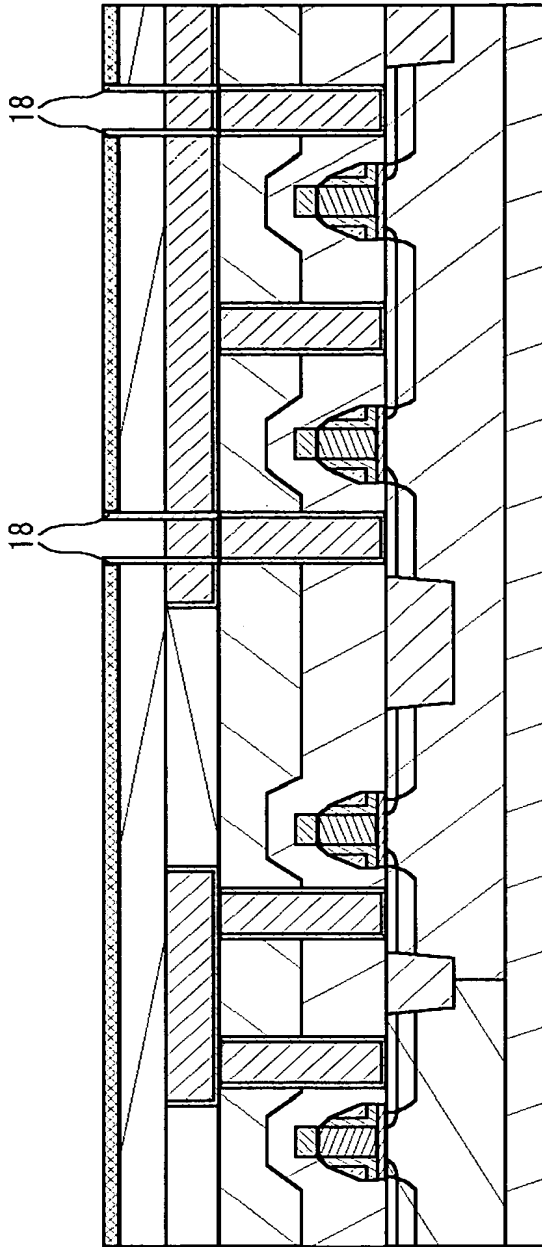
【図 8】

図 8



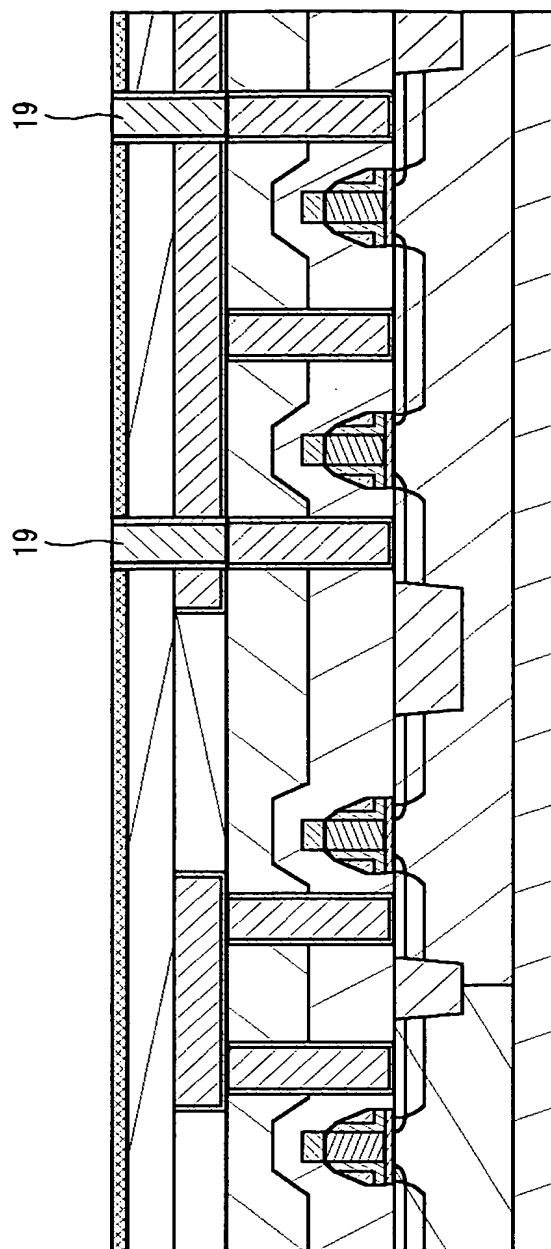
【図 9】

図 9



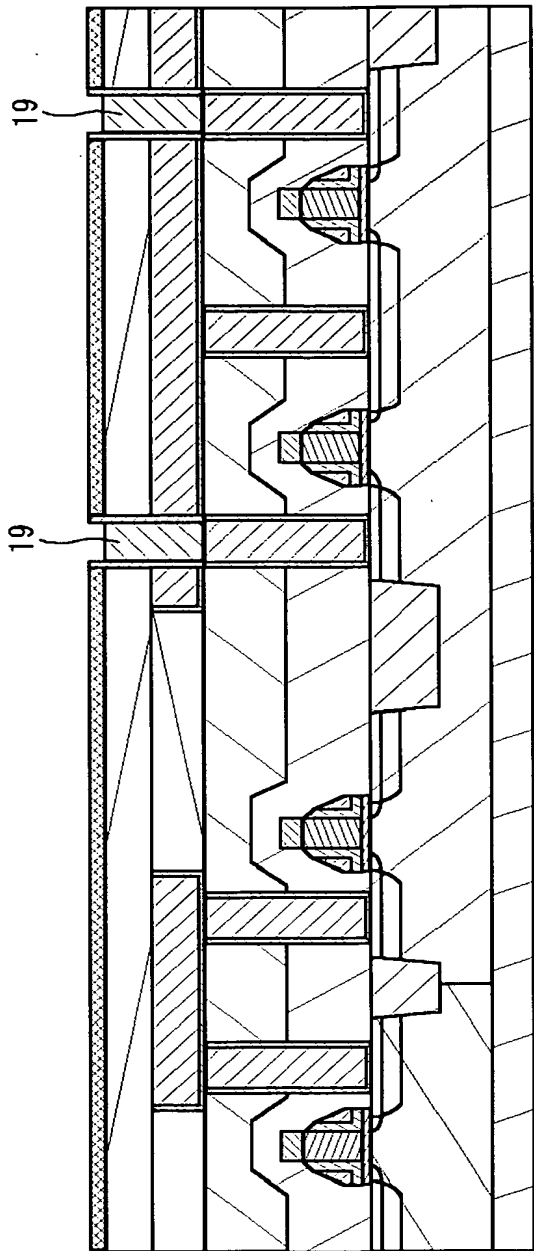
【図 10】

図 10



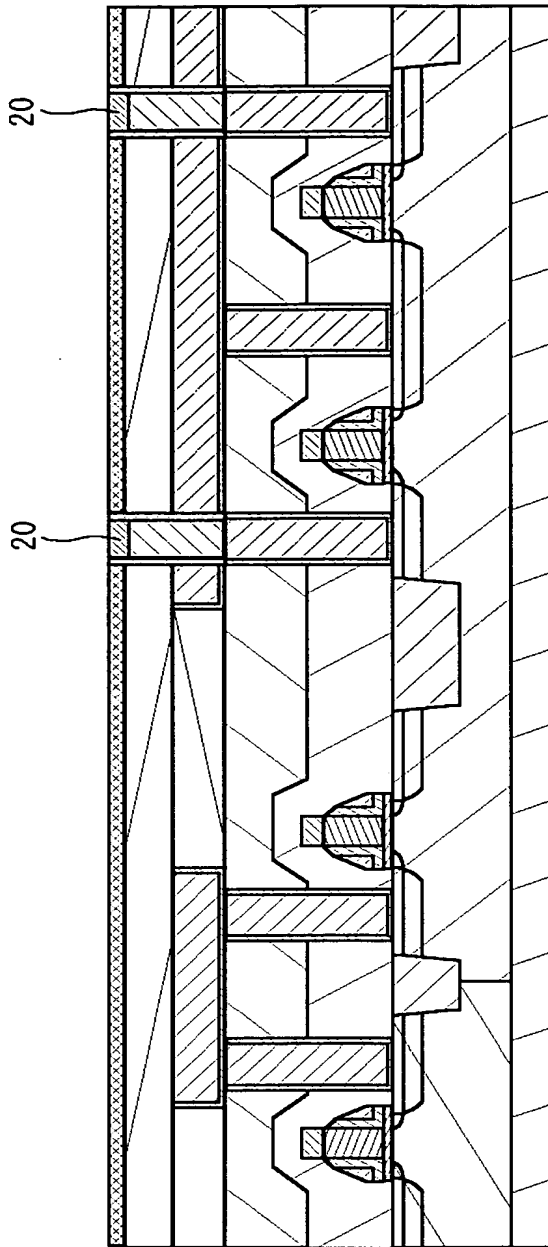
【図 11】

図 11

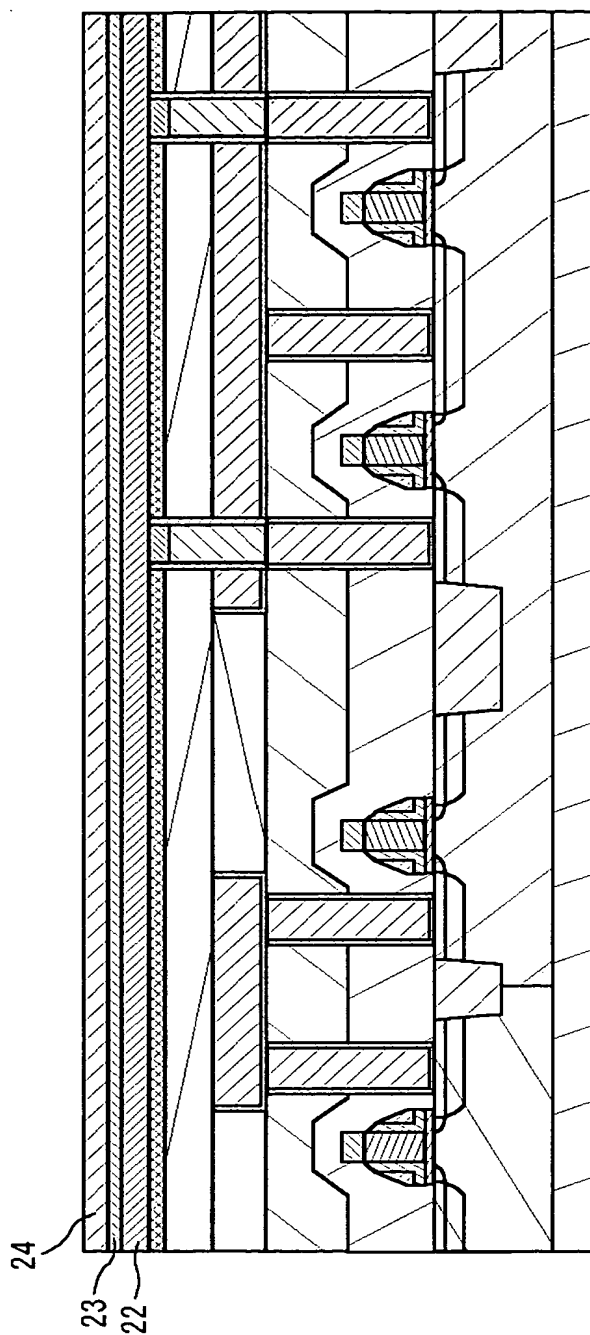


【図 12】

図 12

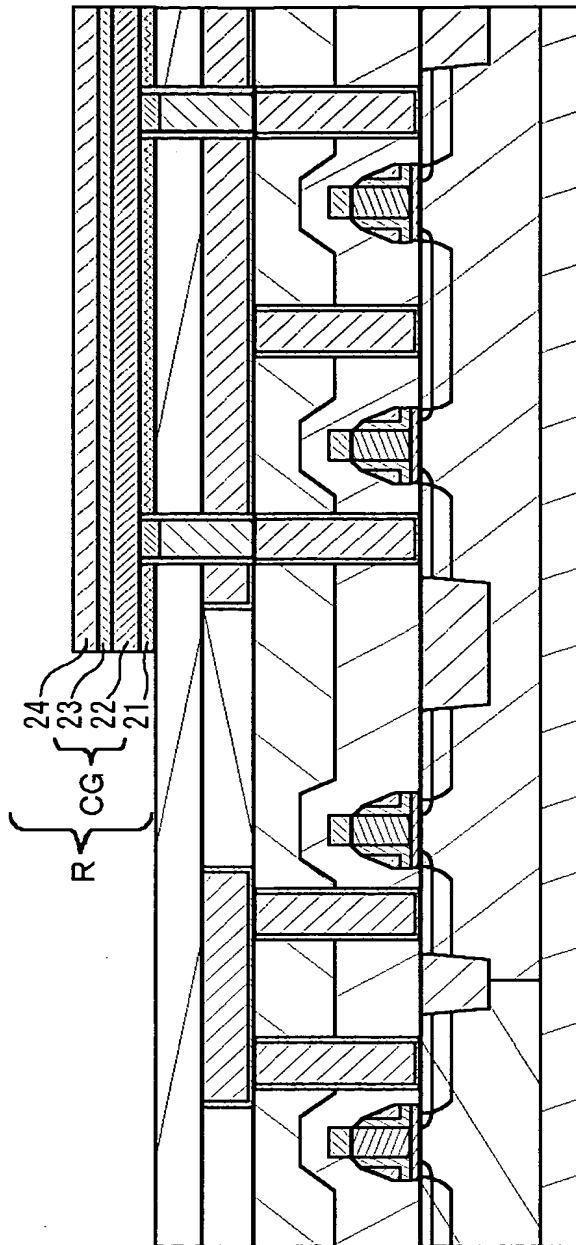


【図 13】



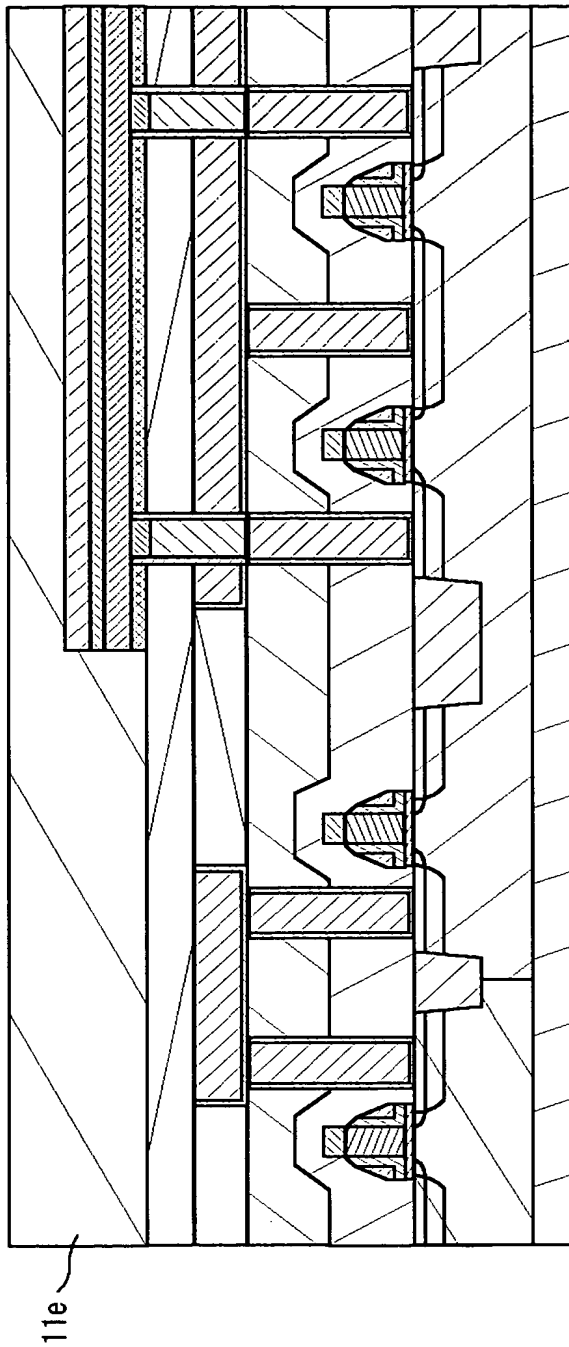
【図 14】

図 14



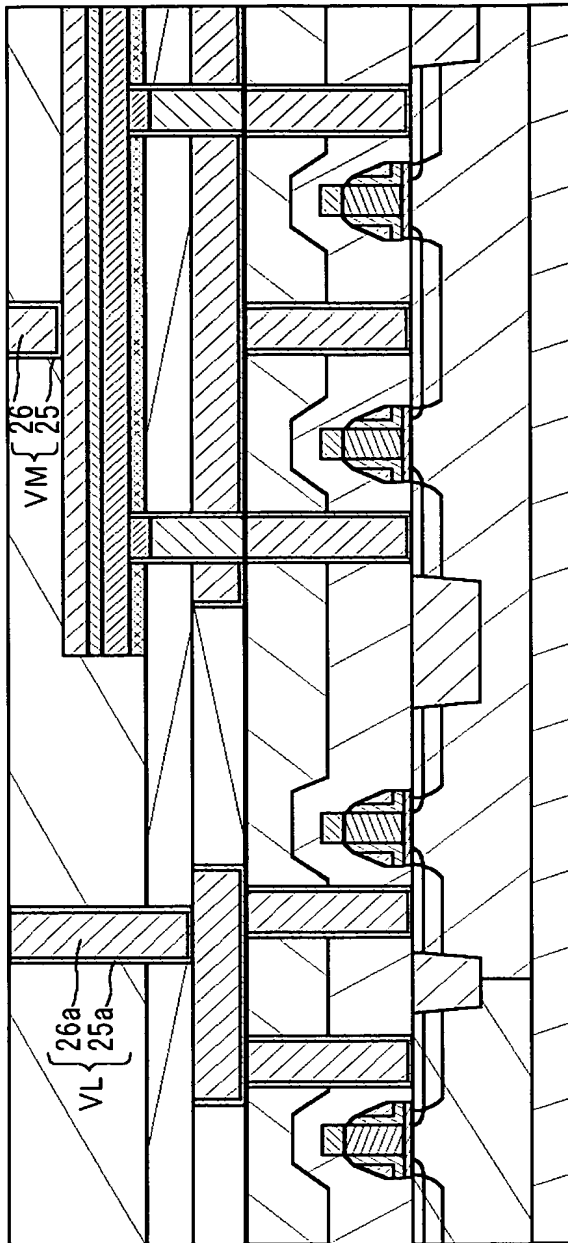
【図 15】

図 15

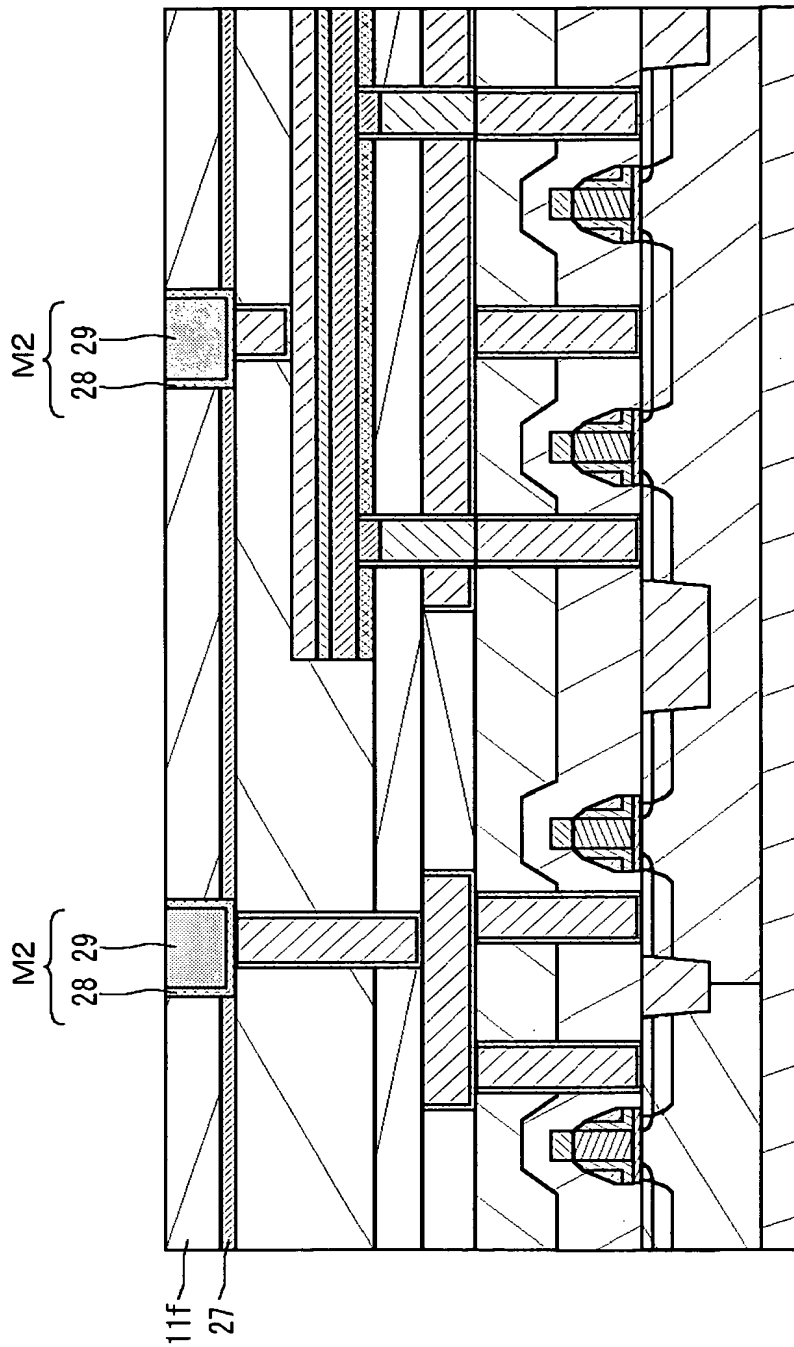


【図 16】

図 16

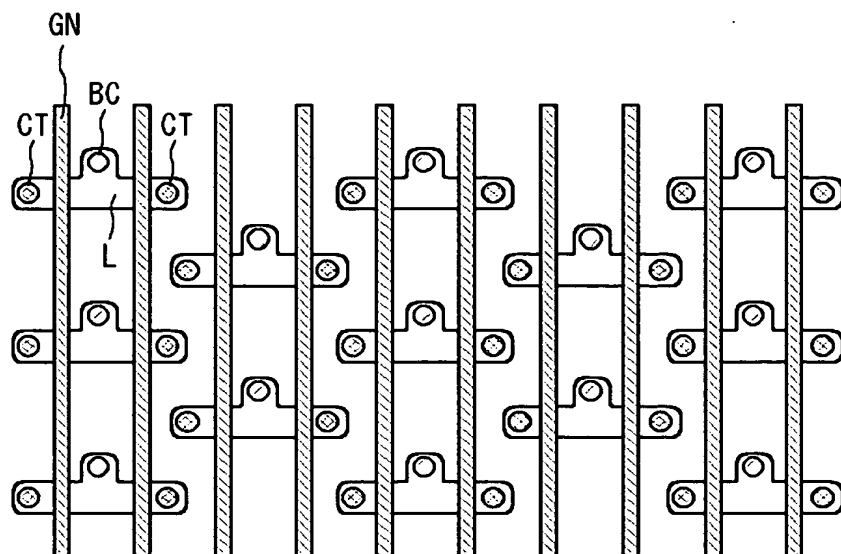


【図 17】



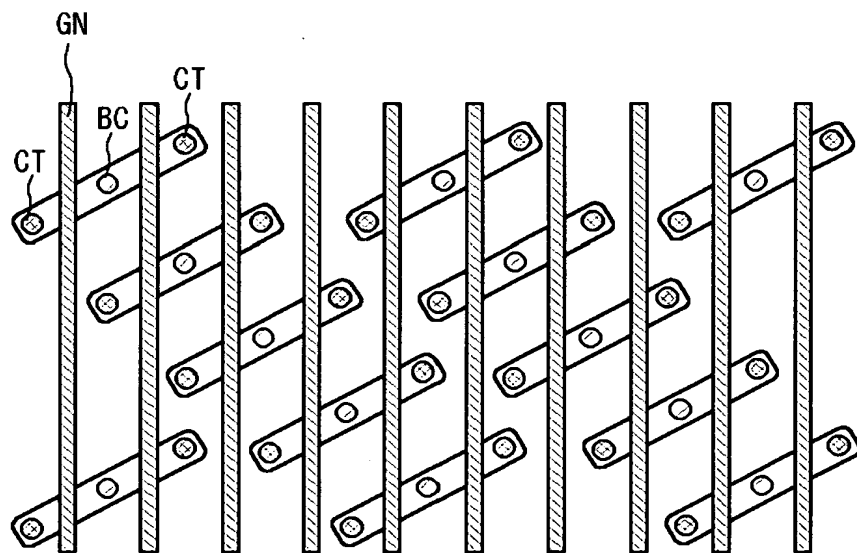
【図 18】

図 18



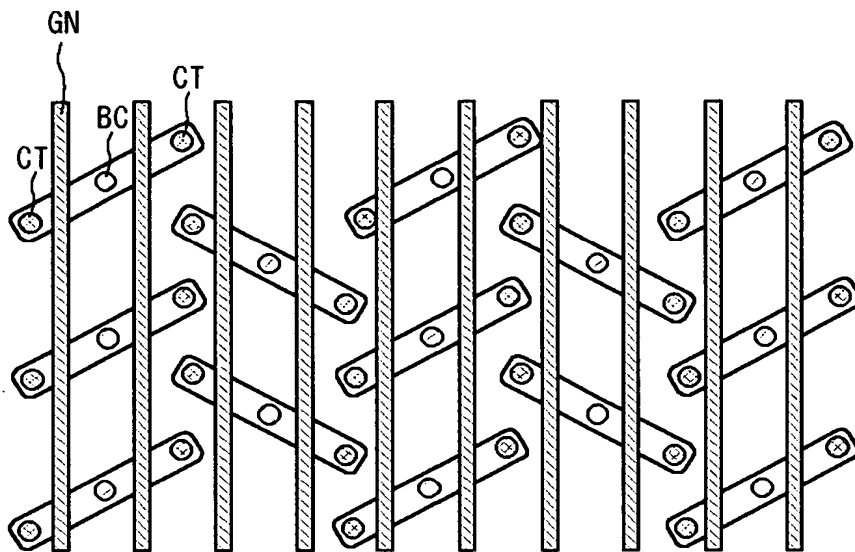
【図 19】

図 19



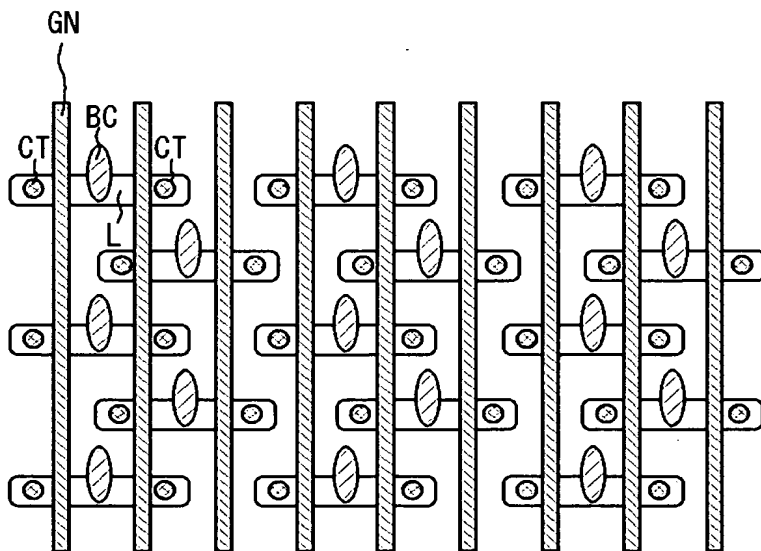
【図 20】

図 20



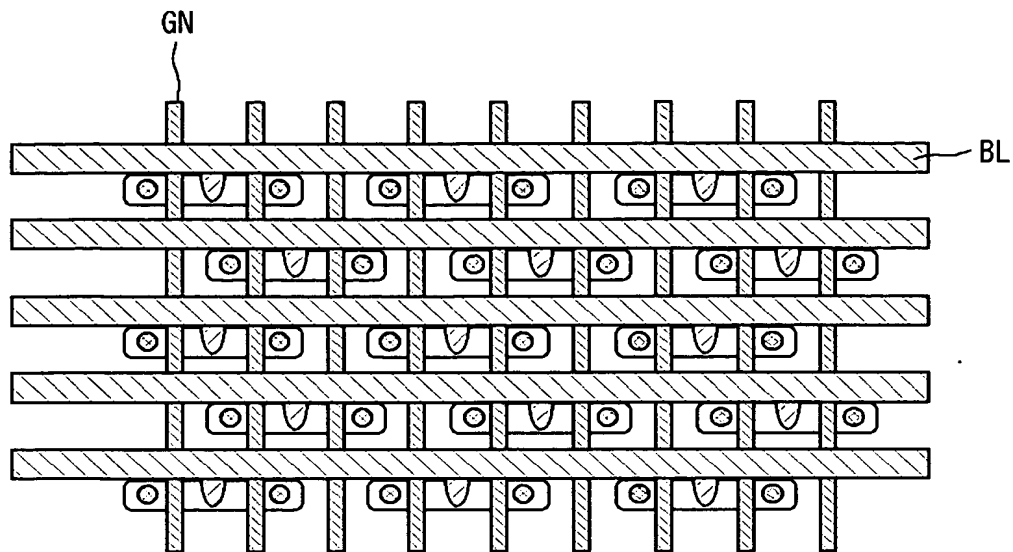
【図 21】

図 21



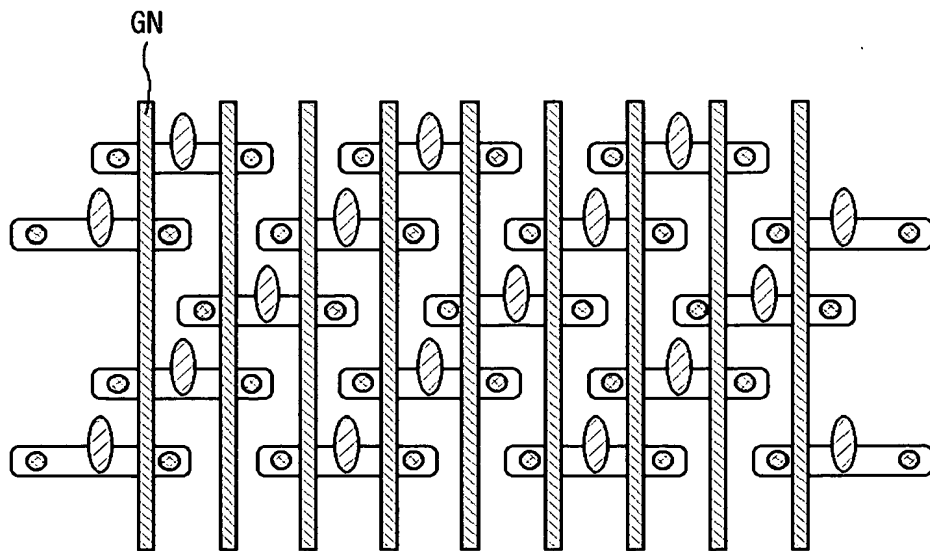
【図 22】

図 22



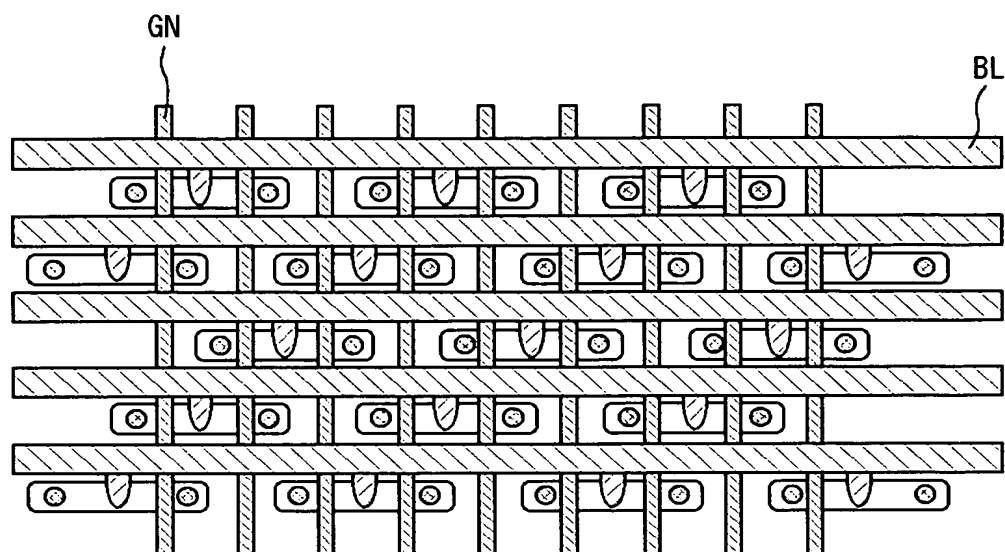
【図 23】

図 23



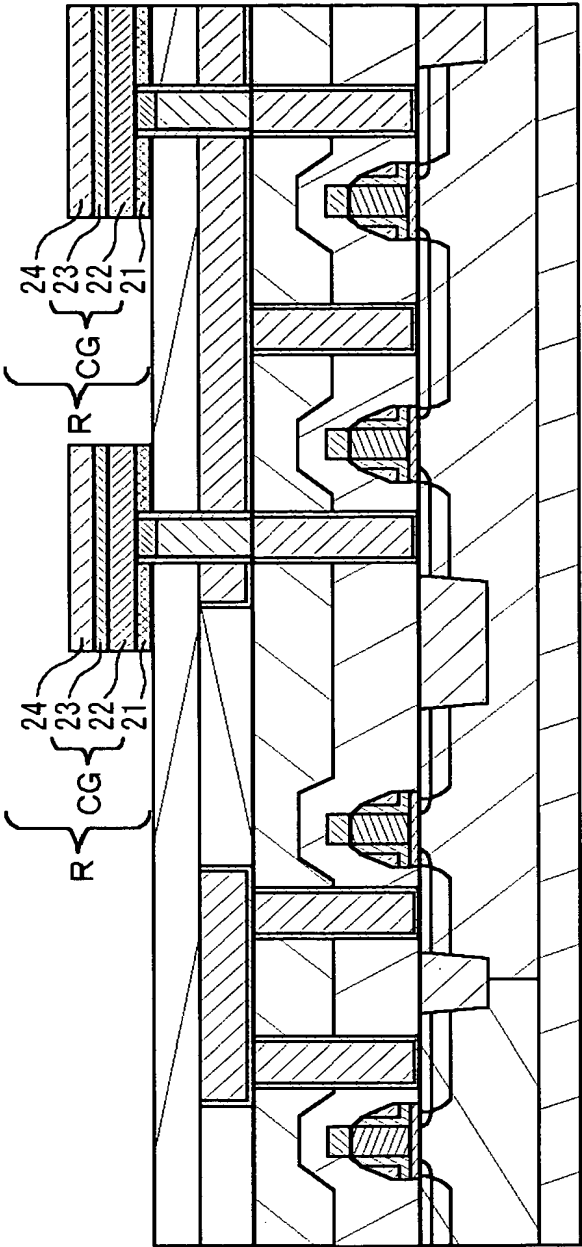
【図 2 4】

図 2 4



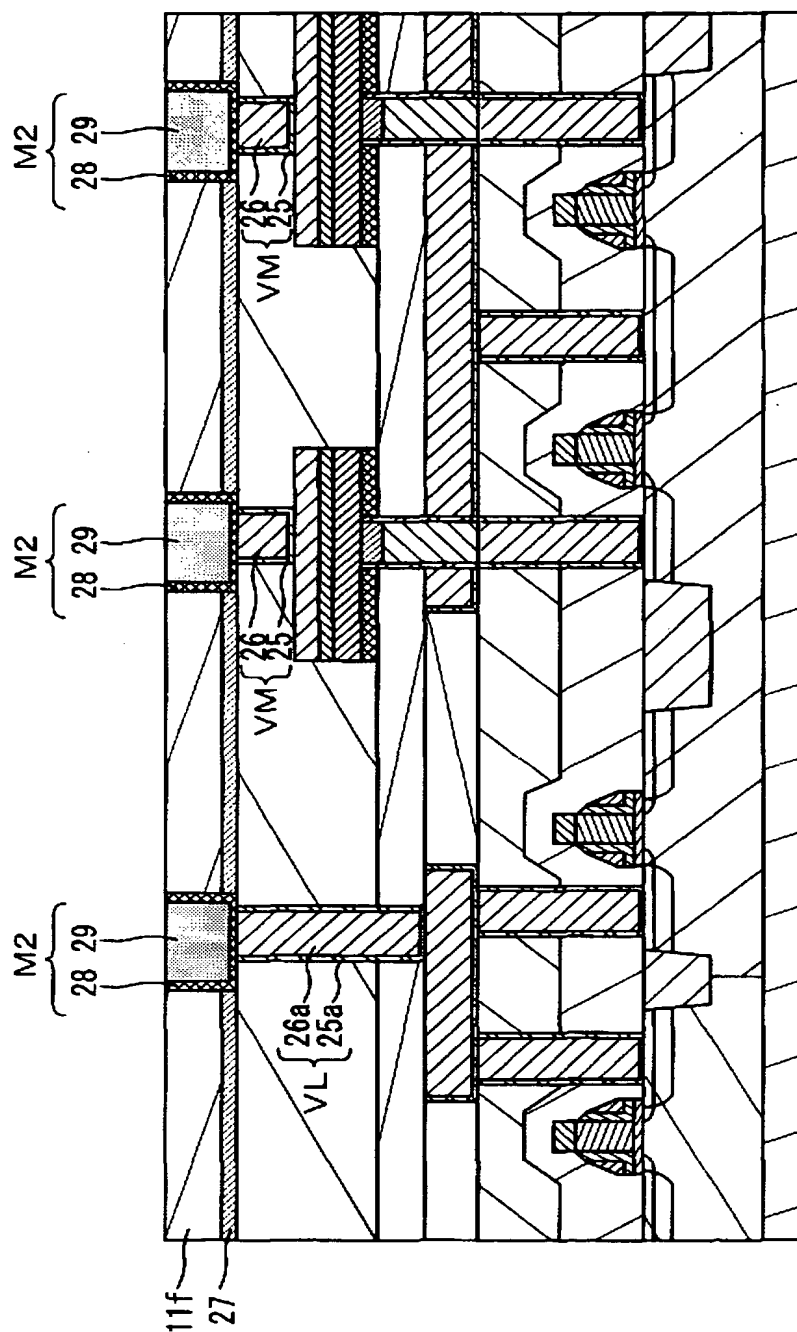
【図 25】

図 25



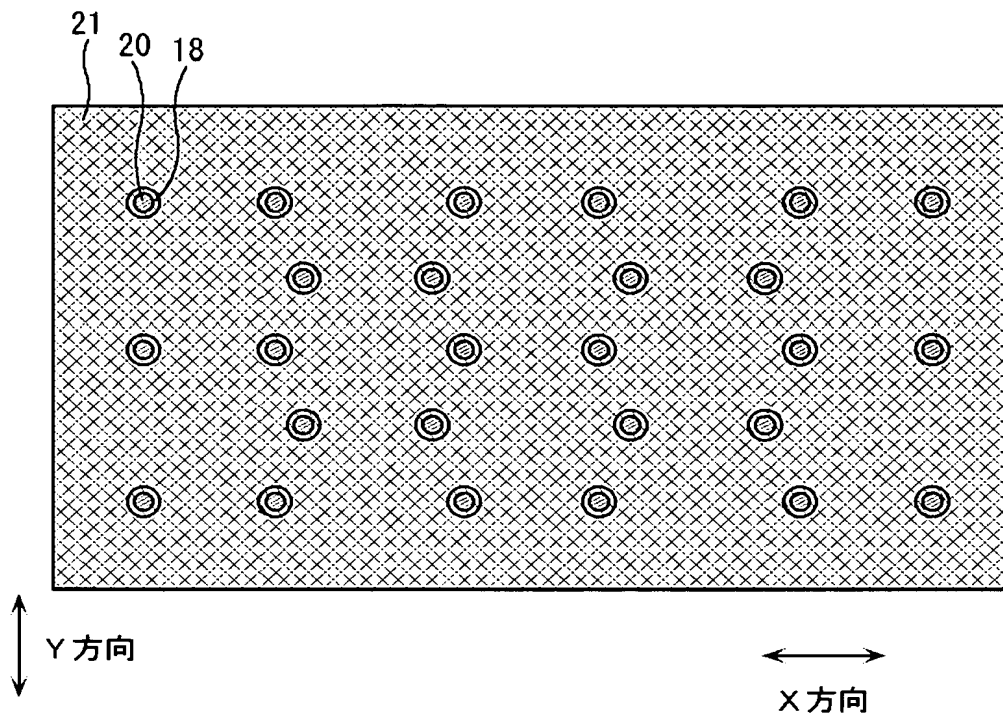
【図 26】

図 26



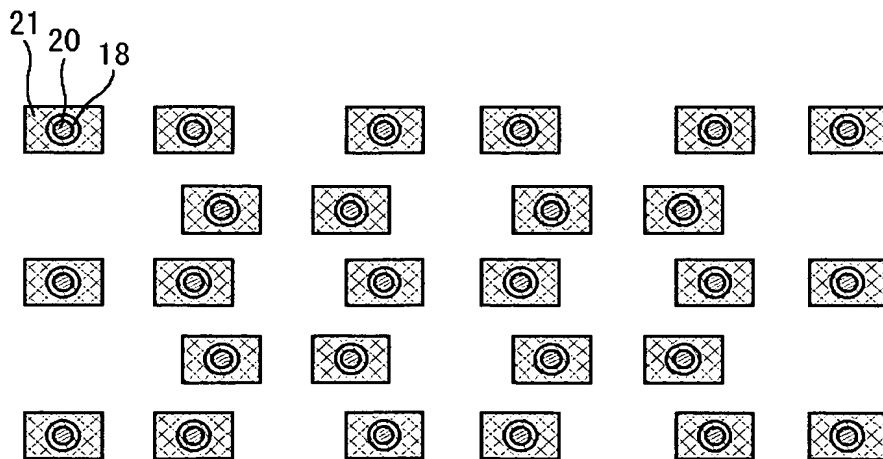
【図 2 7】

図 2 7



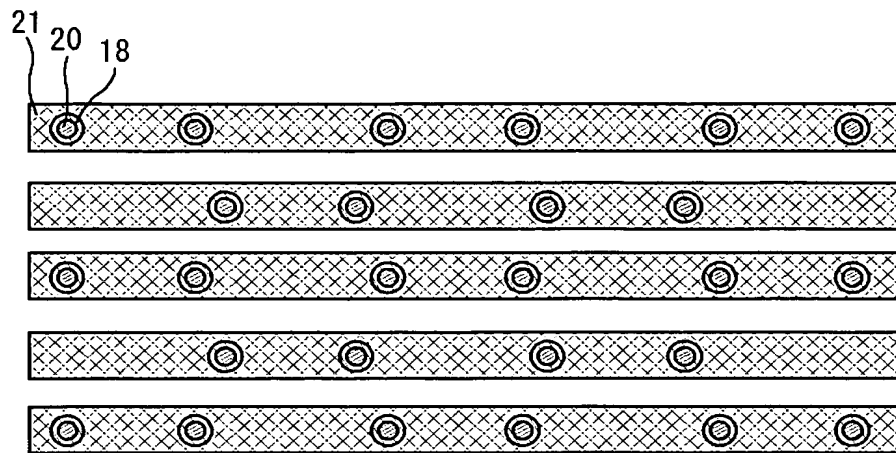
【図 2 8】

図 2 8



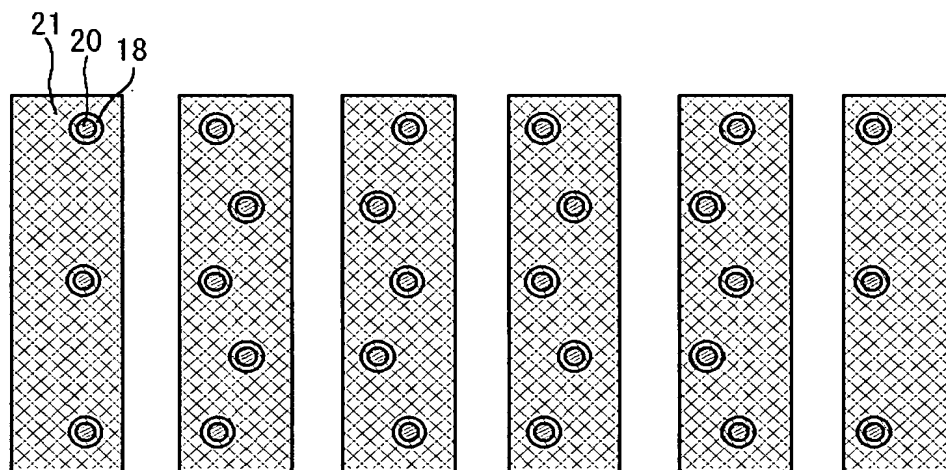
【図 2 9】

図 2 9



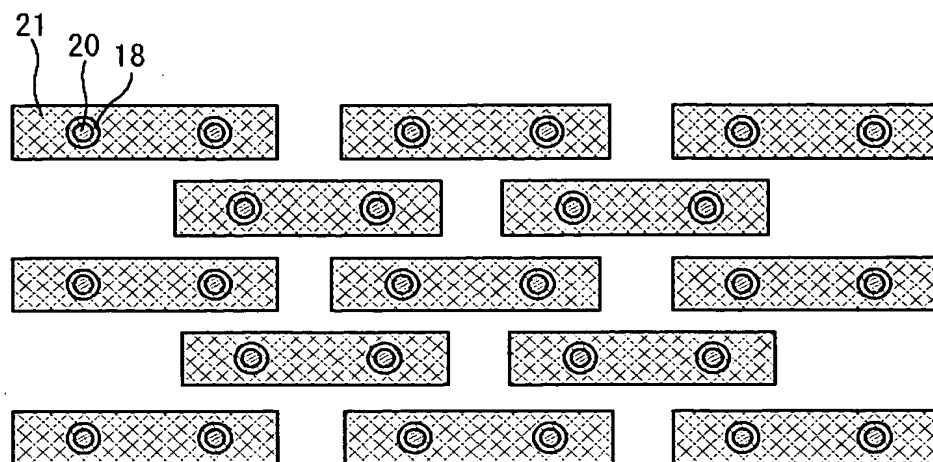
【図 3 0】

図 3 0



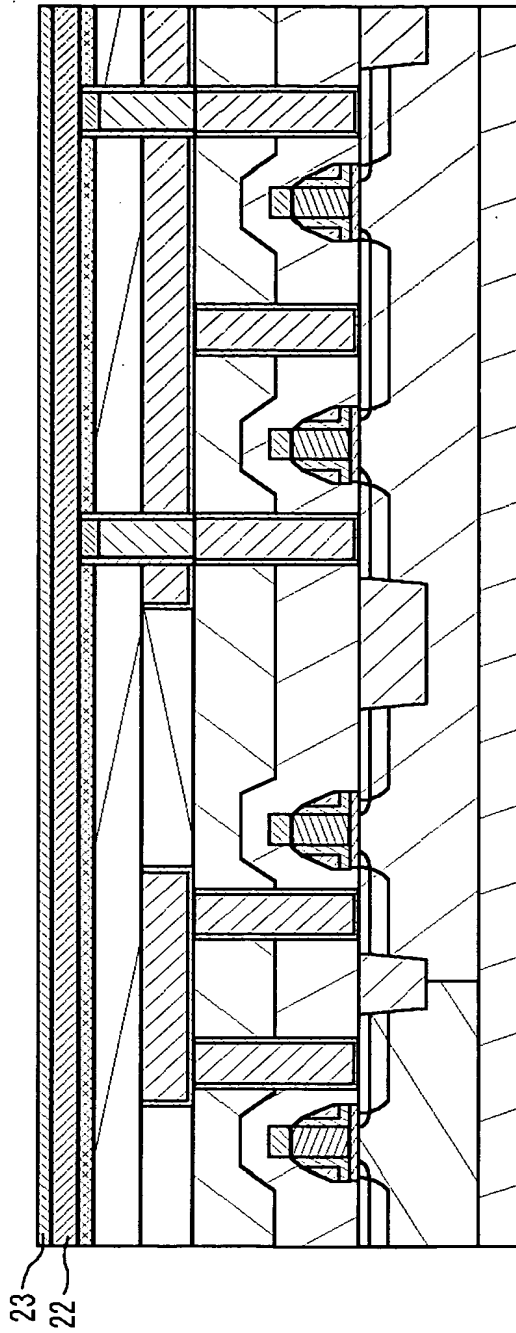
【図 31】

図 31



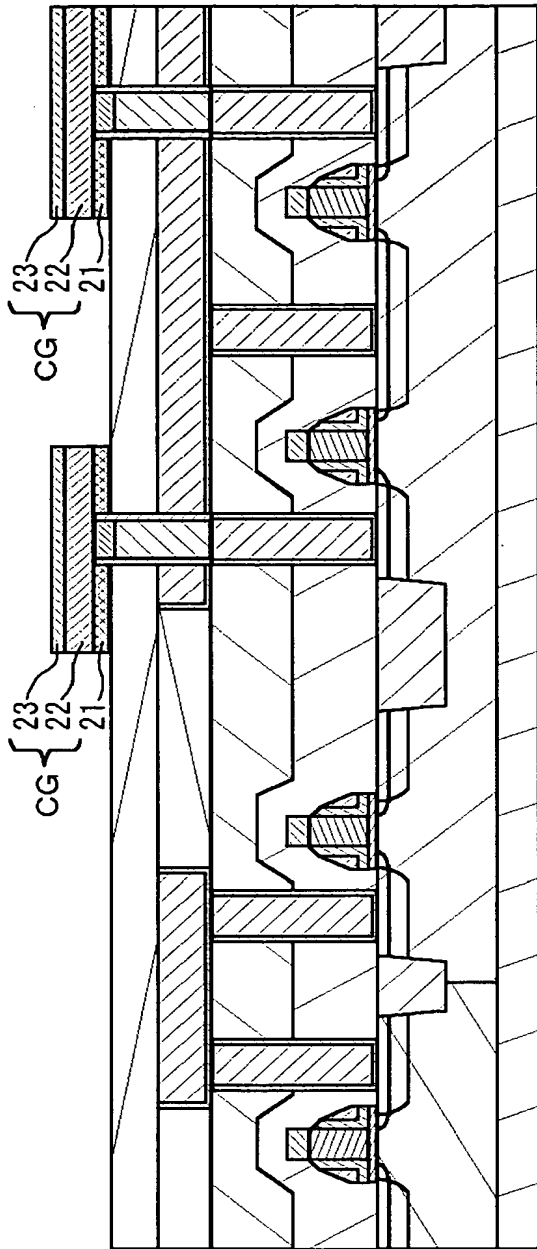
【図 32】

図 32



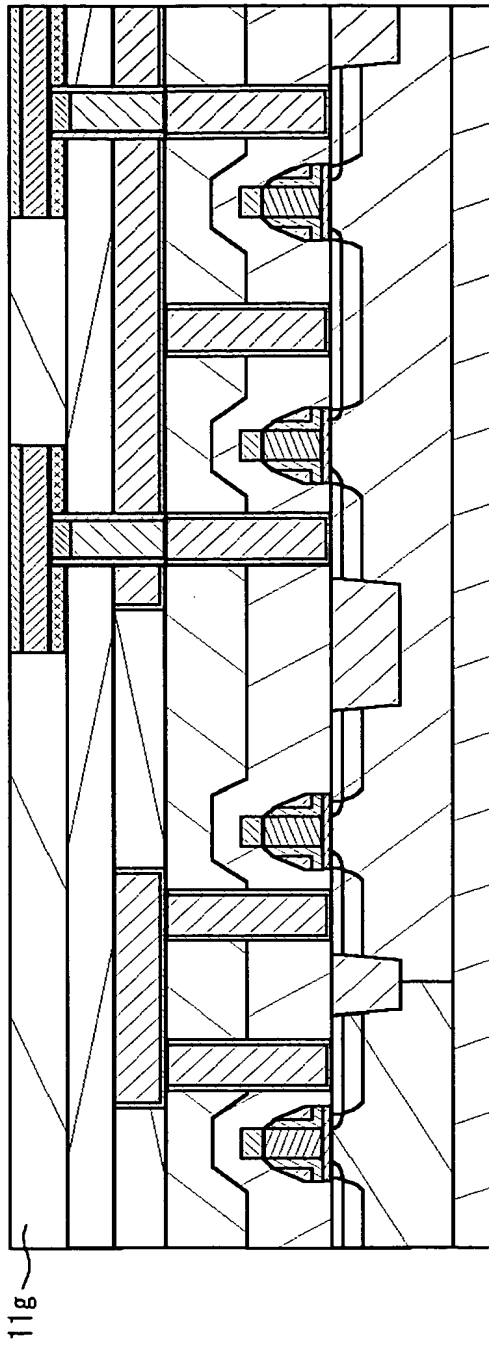
【図 33】

図 33



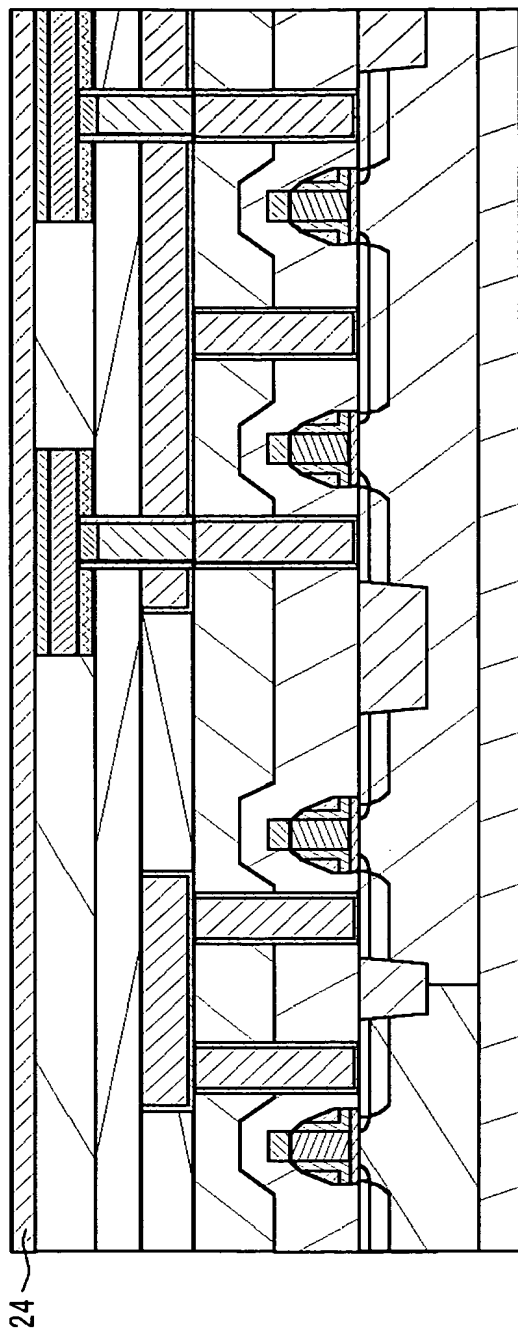
【図 34】

図 34



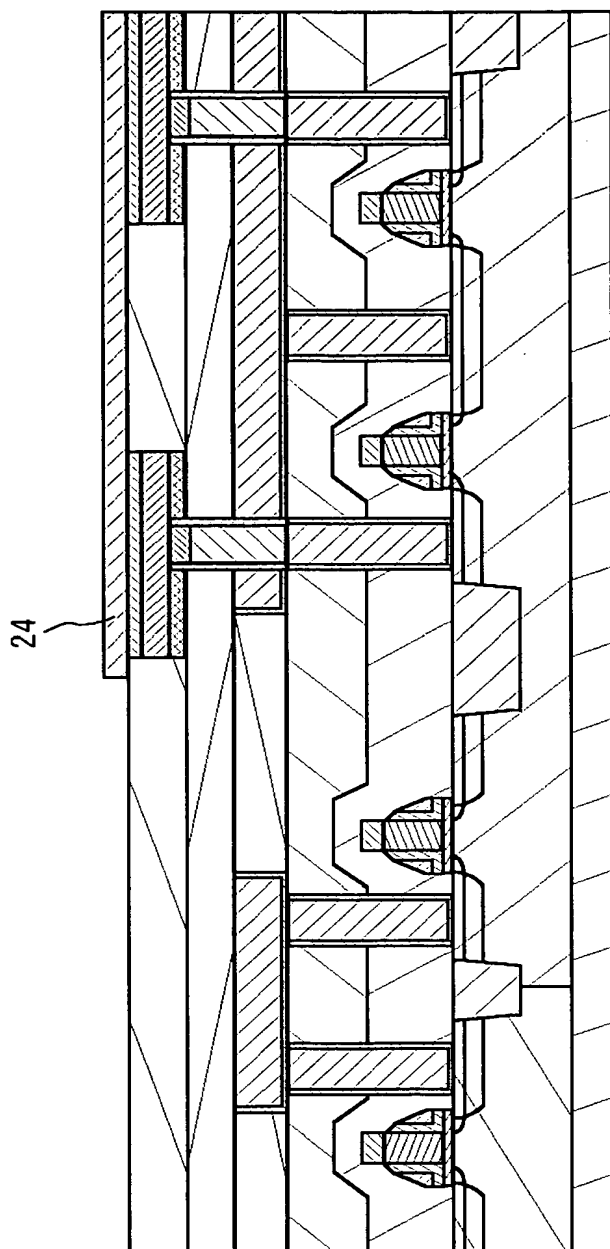
【図 35】

図 35



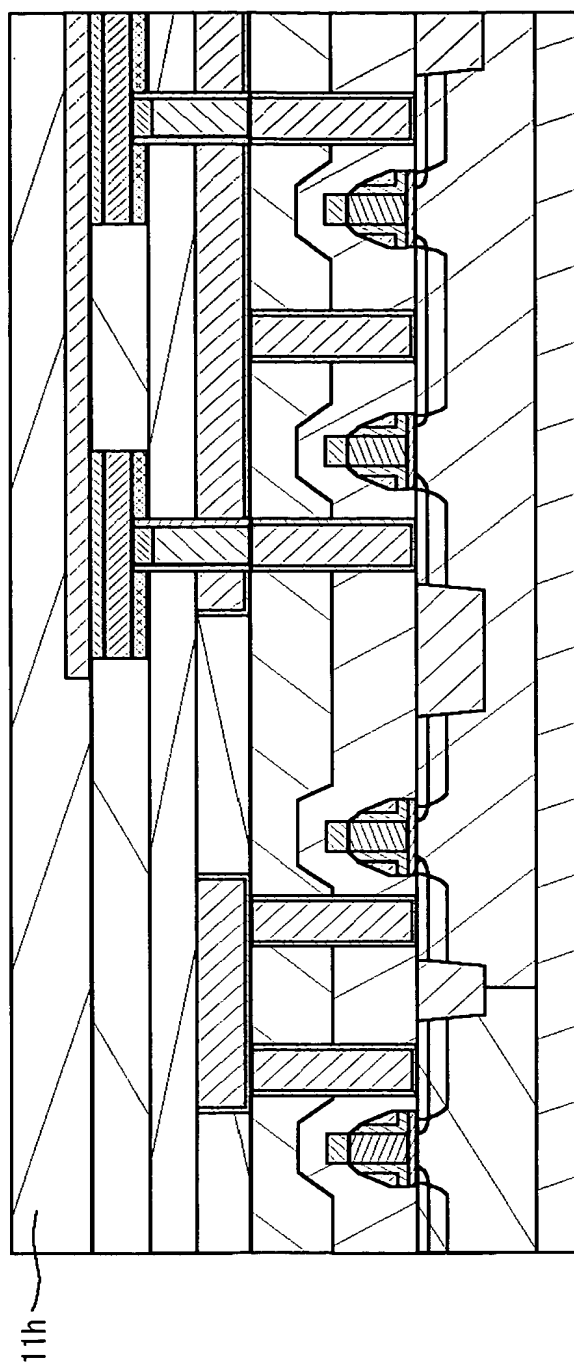
【図 36】

図 36



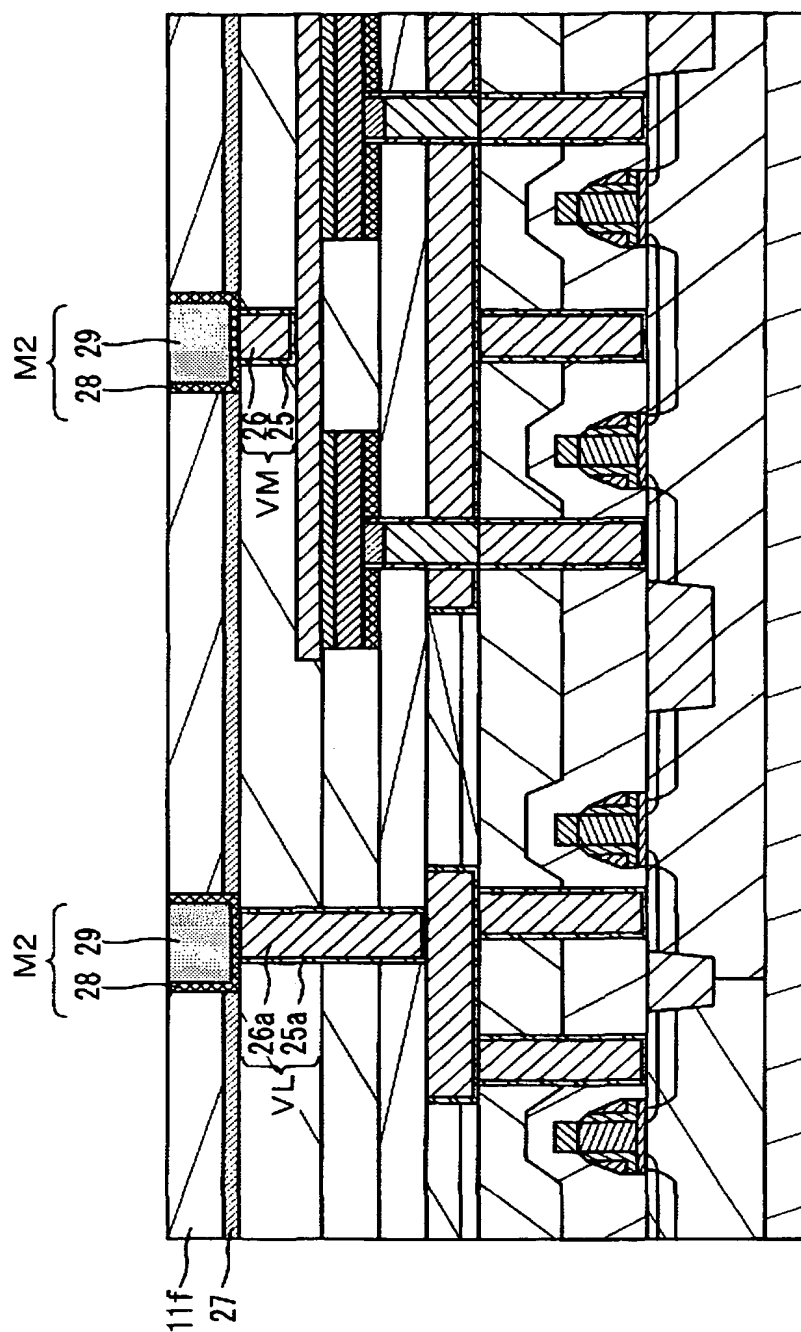
【図 37】

図 37



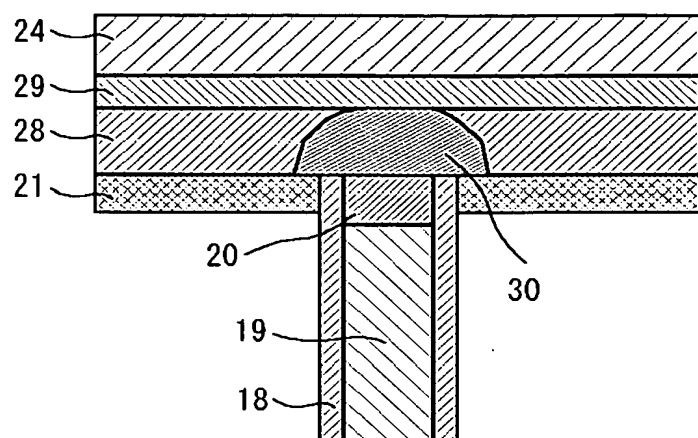
【図 38】

図 38



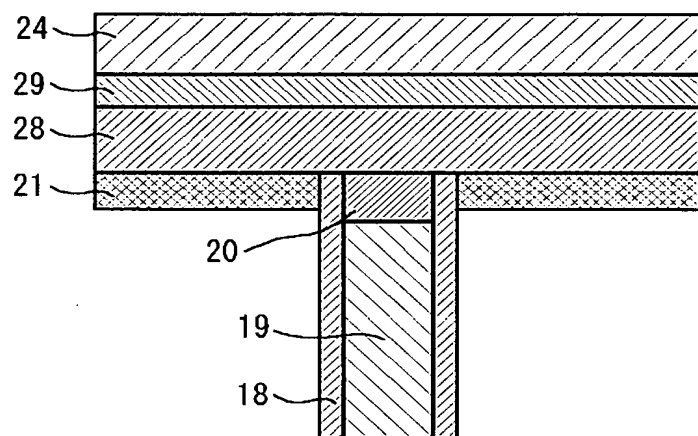
【図 39】

図 39



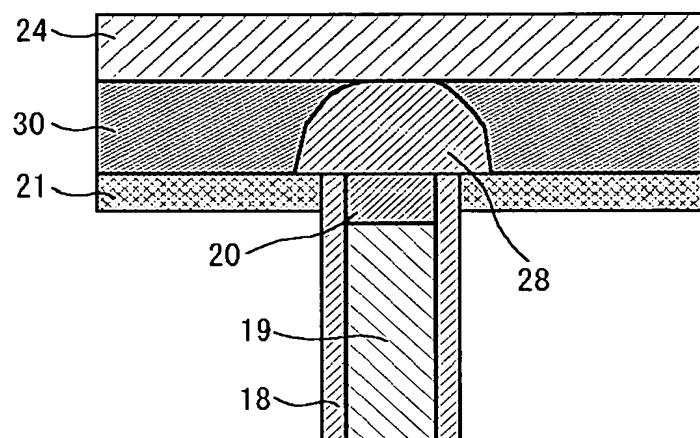
【図 40】

図 40



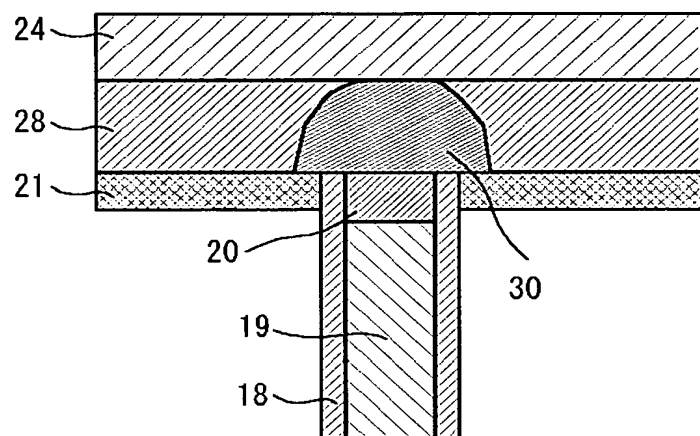
【図 4 1】

図 4 1



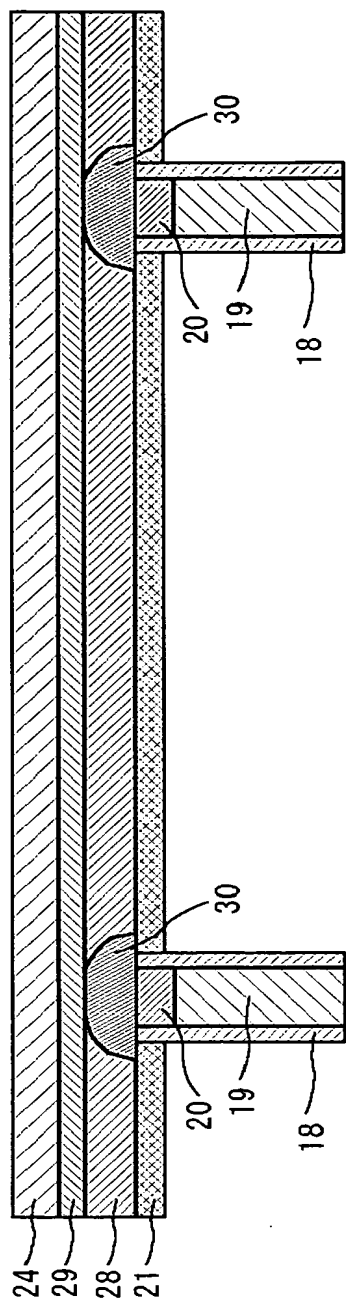
【図 4 2】

図 4 2



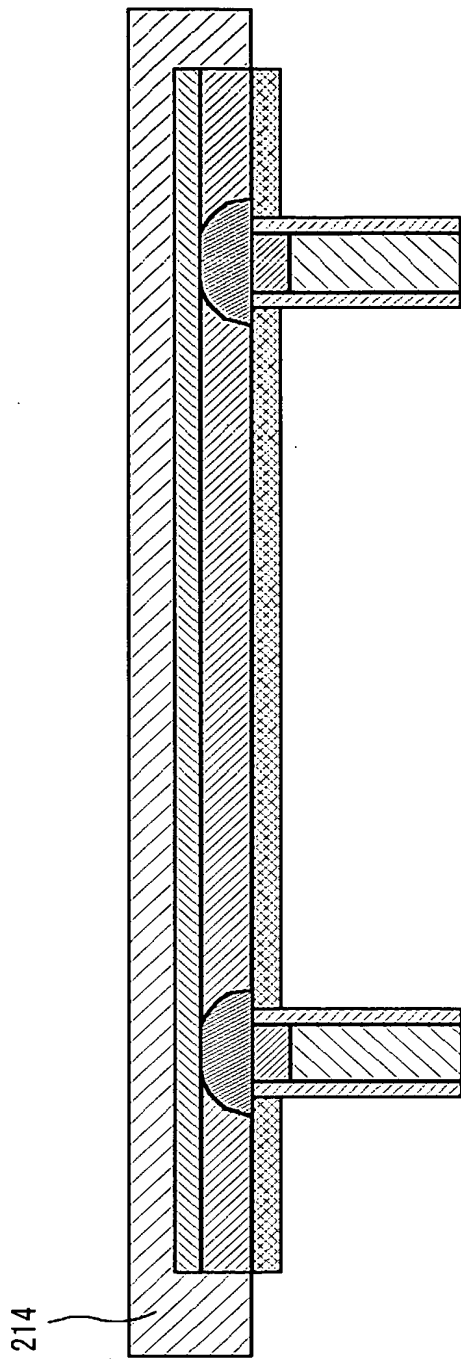
【図 43】

図 43



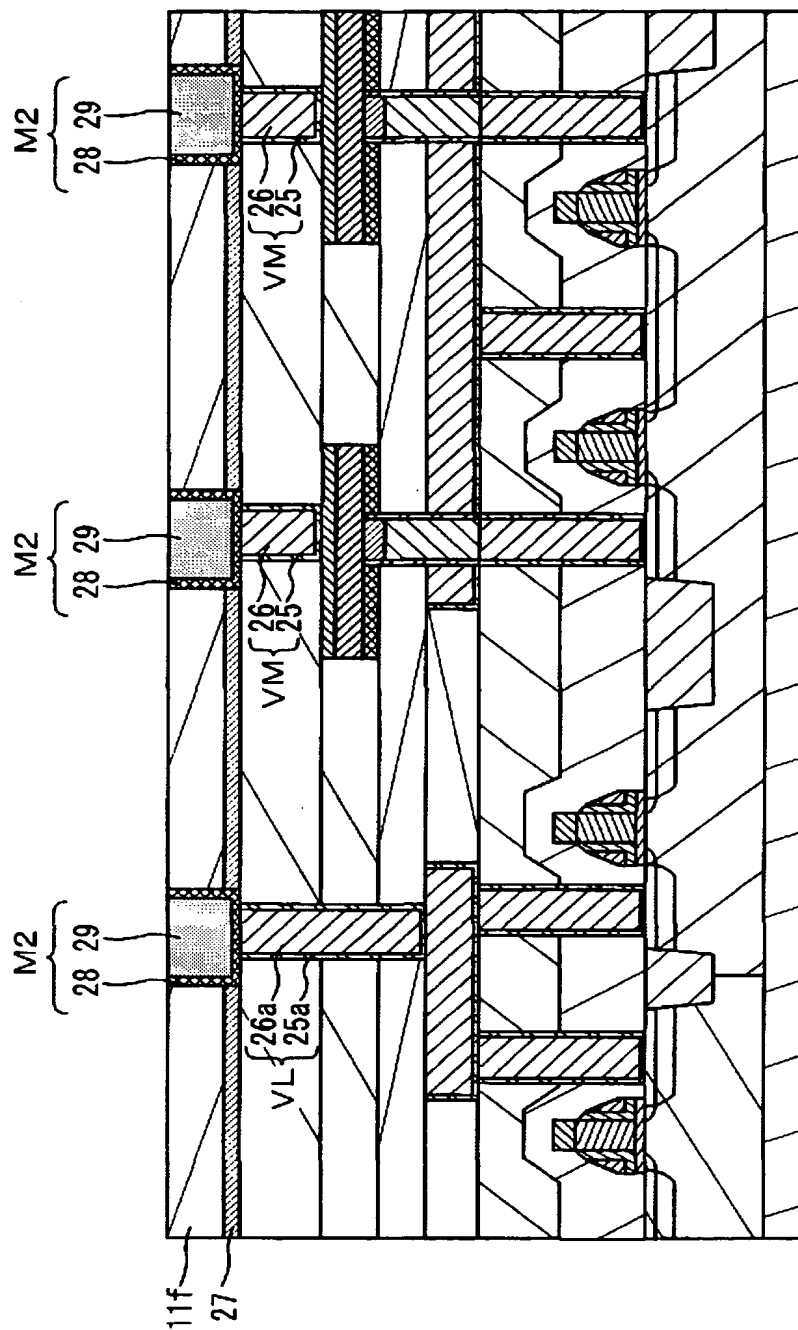
【図 44】

図 44



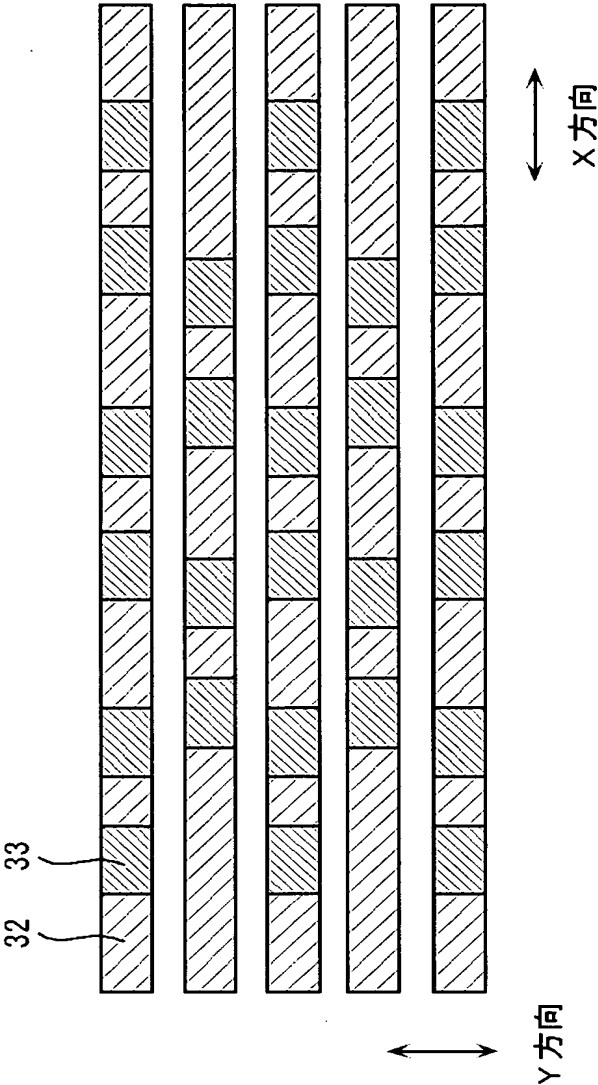
【図 45】

図 45



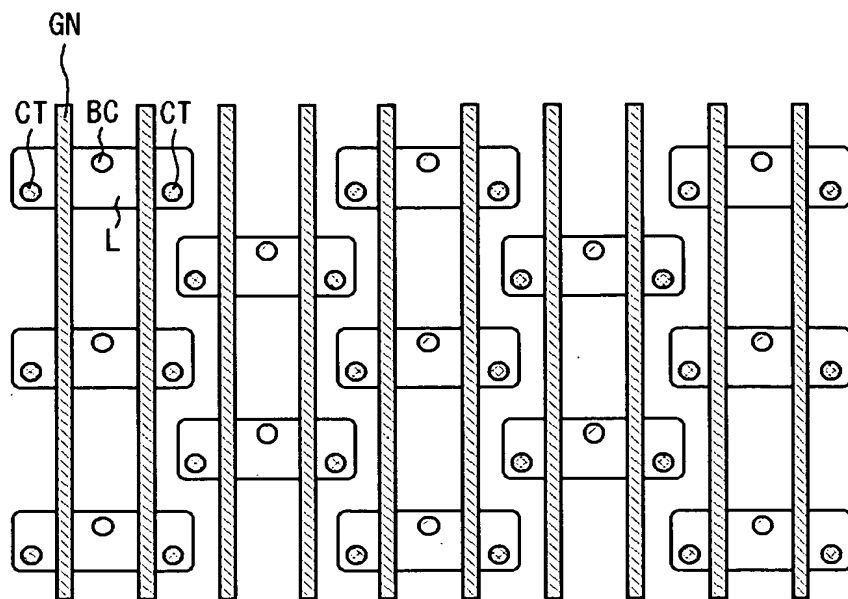
【図 46】

図 46

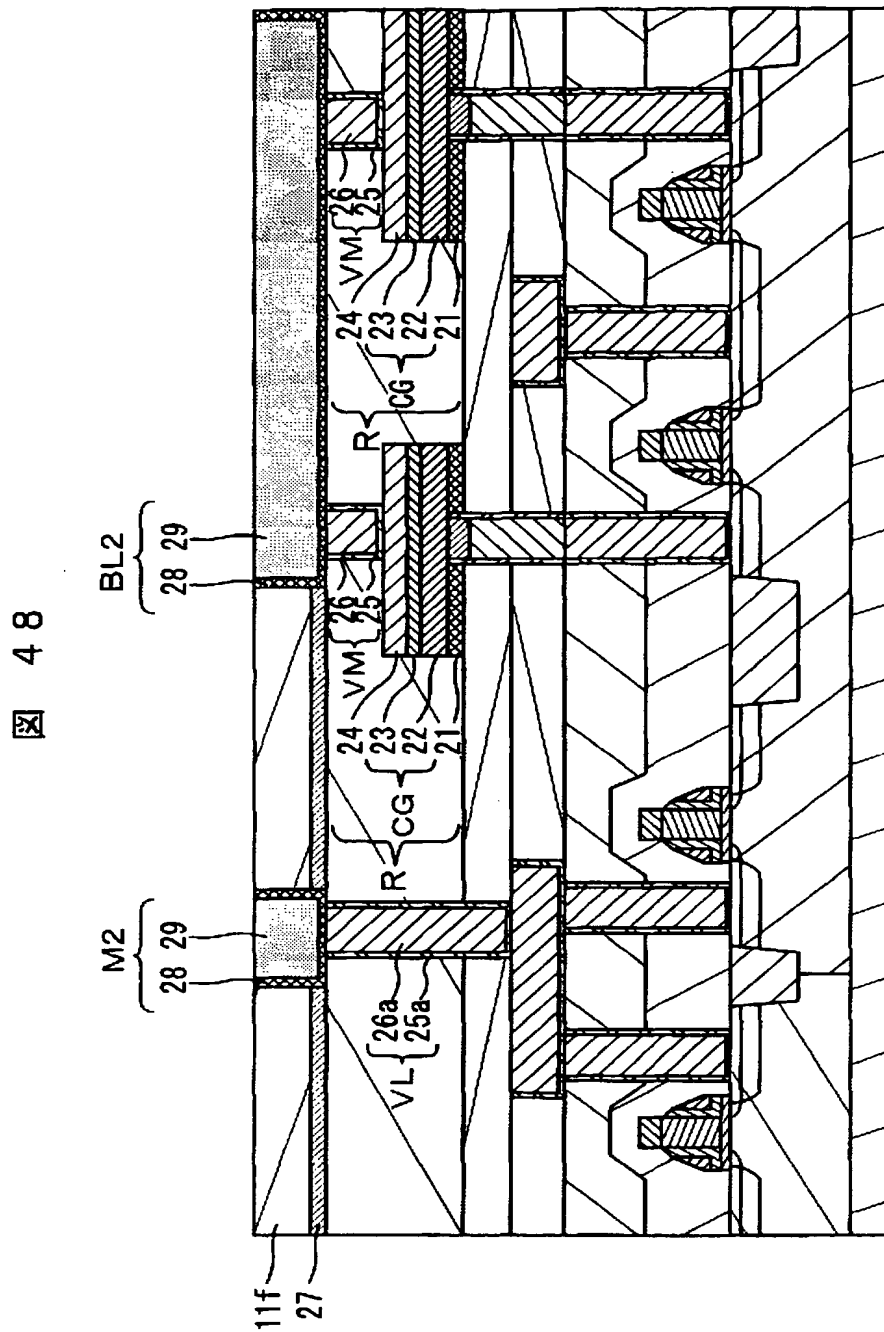


【図 47】

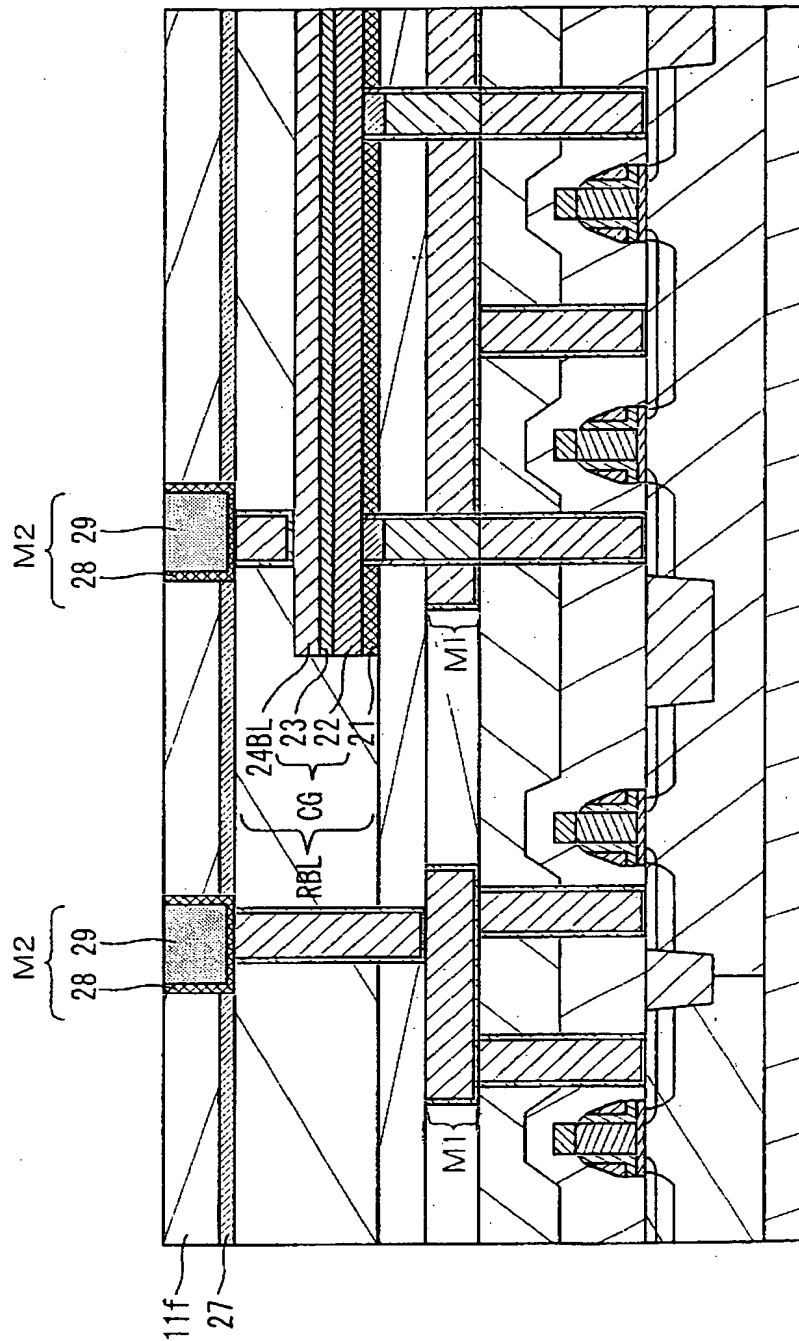
図 47



【図 48】

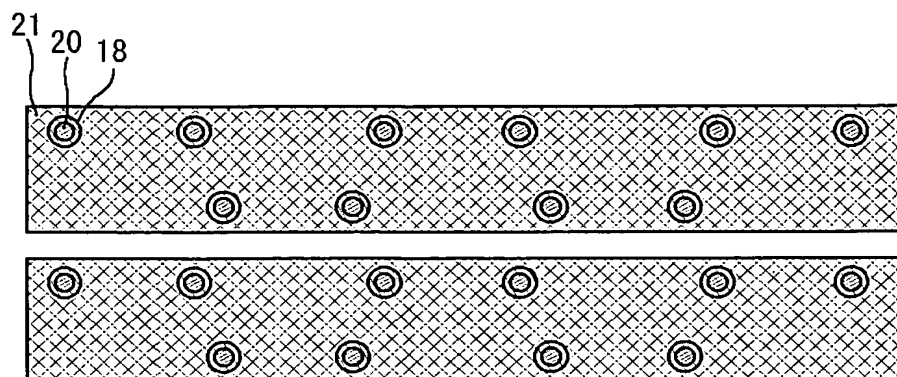


【图 4 9】



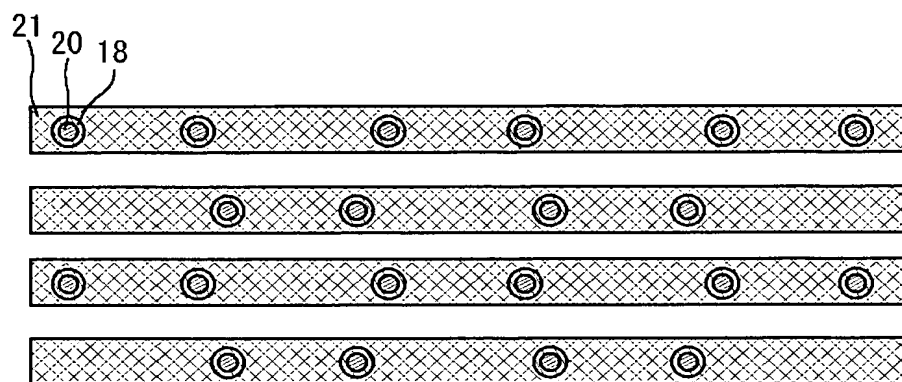
【図 50】

図 50



【図 51】

図 51



【書類名】 要約書

【要約】

【課題】

高速不揮発相変化メモリの書き換え回数信頼性を向上する。

【解決手段】

MISFETをメモリセル選択用トランジスタQMとして用いる相変化メモリのメモリセル形成領域において、相変化材料を用いた抵抗素子Rからなるメモリセルの相変化材料層CGを共通化する。その結果、ドライエッチングによるメモリセル素子の分離に起因した、形状ばらつきおよび相変化材料の組成変化が低減し、メモリセルの書き換え回数信頼性が向上する。

【選択図】 図1

特願 2 0 0 3 - 1 4 5 3 0 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

特願 2 0 0 3 - 1 4 5 3 0 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ